

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-5710

(P2017-5710A)

(43) 公開日 平成29年1月5日(2017.1.5)

(51) Int.Cl.	F I	テーマコード (参考)
H03F 3/68 (2006.01)	H03F 3/68 B	5J067
H03F 3/24 (2006.01)	H03F 3/24	5J500
H03F 1/32 (2006.01)	H03F 1/32	5K060
H03F 1/02 (2006.01)	H03F 1/02	
H04B 1/04 (2006.01)	H04B 1/04 B	

審査請求 未請求 請求項の数 15 O L (全 32 頁) 最終頁に続く

(21) 出願番号 特願2016-115112 (P2016-115112)
 (22) 出願日 平成28年6月9日 (2016.6.9)
 (31) 優先権主張番号 特願2015-117019 (P2015-117019)
 (32) 優先日 平成27年6月9日 (2015.6.9)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 504133110
 国立大学法人電気通信大学
 東京都調布市調布ヶ丘一丁目5番地1
 (72) 発明者 高山 洋一郎
 東京都調布市調布ヶ丘一丁目5番地1 国立大学法人電気通信大学内
 (72) 発明者 本城 和彦
 東京都調布市調布ヶ丘一丁目5番地1 国立大学法人電気通信大学内
 (72) 発明者 石川 亮
 東京都調布市調布ヶ丘一丁目5番地1 国立大学法人電気通信大学内

最終頁に続く

(54) 【発明の名称】 マルチバンド増幅器およびデュアルバンド増幅器

(57) 【要約】

【課題】 回路設計の容易化と良好な電力増幅特性を実現するコンカレント型マルチバンド電力増幅器を提供する。

【解決手段】 複数(N)の周波数帯域の信号をそれぞれ独立に増幅する複数個(N)の増幅回路により、同時にマルチバンドの信号を増幅するコンカレント型マルチバンド増幅器(又はデュアルバンド増幅器)を提供する。第n(n=1~Nのいずれか)の増幅回路は、第n以外の周波数帯信号を阻止する回路を備えて、第nの周波数帯の信号のみを増幅出力する。第nの増幅回路は、増幅素子に対する入力と出力のインピーダンス整合回路を設計する。

【選択図】 図1

FIG. 1A

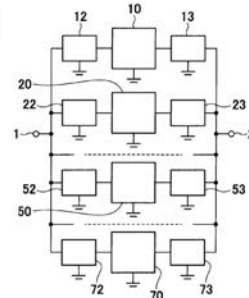
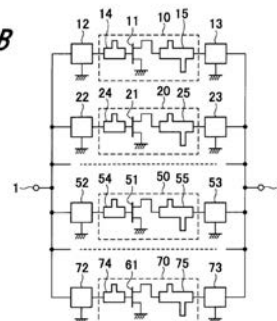


FIG. 1B



【特許請求の範囲】

【請求項 1】

第 1 乃至第 N (N は 2 以上の自然数) の周波数帯の信号を同時に増幅するマルチバンド増幅器であって、前記第 1 乃至第 N の周波数帯の各信号をそれぞれ増幅する N 個の増幅回路を備えており、

第 n (n = 1 ~ N のいずれか) の周波数帯の信号を増幅する第 n の増幅回路の信号入力結合部及び出力結合部に、第 n の周波数帯の信号以外の周波数帯の信号を阻止する回路を備えた

ことを特徴とするマルチバンド増幅器。

【請求項 2】

前記各増幅回路は入力及び出力インピーダンス整合回路を有し、

第 n の増幅回路の入力及び出力インピーダンス整合回路が第 n の周波数帯において最適信号入出力特性を実現するトランジスタの信号源インピーダンス及び負荷インピーダンスを備えた

ことを特徴とする請求項 1 に記載のマルチバンド増幅器。

【請求項 3】

第 1 及び第 2 の周波数帯の信号を同時に増幅するデュアルバンド増幅器であって、前記第 1 の周波数帯の信号を増幅する第 1 の増幅回路及び前記第 2 の周波数帯の信号を増幅する第 2 の増幅回路を備えており、

前記第 1 の増幅回路はその信号入力結合部及び出力結合部に第 2 の周波数帯の信号を阻止する第 2 周波数帯阻止回路を備え、

前記第 2 の増幅回路はその信号入力結合部及び出力結合部に第 1 の周波数帯の信号を阻止する第 1 周波数帯阻止回路を備えた

ことを特徴とするデュアルバンド増幅器。

【請求項 4】

前記第 1 の増幅回路はその信号入力結合部及び出力結合部に、並列共振周波数が第 2 の周波数帯にある回路を直列に備えることにより前記第 2 周波数帯阻止回路を構成し、

前記第 2 の増幅回路はその信号入力結合部及び出力結合部に、並列共振周波数が第 1 の周波数帯にある回路を直列に備えることにより前記第 1 周波数帯阻止回路を構成した

ことを特徴とする請求項 3 に記載のデュアルバンド増幅器。

【請求項 5】

前記第 1 の増幅回路はその信号入力結合部及び出力結合部に、並列共振周波数が第 2 の周波数帯にある回路を直列に備え、かつ、該回路の第 1 の周波数帯における直列リアクタンス成分を第 1 の周波数帯において打ち消す直列に挿入された回路素子を備えることにより前記第 2 周波数帯阻止回路を構成し、

前記第 2 の増幅回路はその信号入力結合部及び出力結合部に、並列共振周波数が第 1 の周波数帯にある回路を直列に備え、かつ、該回路の第 2 の周波数帯における直列リアクタンス成分を第 2 の周波数帯において打ち消す直列に挿入された回路素子を備えることにより前記第 1 周波数帯阻止回路を構成した

ことを特徴とする請求項 3 に記載のデュアルバンド増幅器。

【請求項 6】

並列共振周波数が第 2 の周波数帯にある前記回路及び並列共振周波数が第 1 の周波数帯にある前記回路を、並列に接続されたインダクタ及びキャパシタにより構成した

ことを特徴とする請求項 4 又は 5 に記載のデュアルバンド増幅器。

【請求項 7】

前記第 1 の増幅回路はその信号入力結合部及び出力結合部に、特性インピーダンスが 50 で第 2 の周波数帯の信号に対して長さが 4 分の 1 波長の直列伝送線路及び第 2 の周波数帯の信号を短絡する回路からなる前記第 2 周波数帯阻止回路を備え、

前記第 2 の増幅回路はその信号入力結合部及び出力結合部に、特性インピーダンスが 50 で第 1 の周波数帯の信号に対して長さが 4 分の 1 波長の直列伝送線路及び第 1 の周波

10

20

30

40

50

数帯の信号を短絡する回路からなる前記第 1 周波数帯阻止回路を備えたことを特徴とする請求項 3 に記載のデュアルバンド増幅器。

【請求項 8】

前記第 1 の増幅回路はその信号入力結合部及び出力結合部に、特性インピーダンスが 50 で第 2 の周波数帯の信号に対して長さが 4 分の 1 波長の直列伝送線路及び第 2 の周波数帯の信号を短絡する回路、該短絡する回路の第 1 の周波数帯におけるサセプタンス成分を第 1 の周波数帯において打ち消す回路、からなる第 2 周波数帯阻止回路を備え、

前記第 2 の増幅回路はその信号入力結合部及び出力結合部に、特性インピーダンスが 50 で第 1 の周波数帯の信号に対して長さが 4 分の 1 波長の直列伝送線路及び第 1 の周波数帯の信号を短絡する回路、該短絡する回路の第 2 の周波数帯におけるサセプタンス成分を第 2 の周波数帯において打ち消す回路、からなる第 1 周波数帯阻止回路を備えたことを特徴とする請求項 3 に記載のデュアルバンド増幅器。

10

【請求項 9】

前記第 1 の増幅回路の信号入力結合部及び出力結合部に設けられた、前記第 2 の周波数帯の信号を短絡する回路を先端開放の並列スタブにより構成して、

前記第 2 の増幅回路の信号入力結合部及び出力結合部に設けられた、前記第 1 の周波数帯の信号を短絡する回路を先端開放の並列スタブにより構成したことを特徴とする請求項 7 に記載のデュアルバンド増幅器。

【請求項 10】

前記第 1 の増幅回路の信号入力結合部及び出力結合部に設けられた、前記第 2 の周波数帯の信号を短絡する回路をインダクタ及びキャパシタの直列共振回路により構成し、

前記第 2 の増幅回路の信号入力結合部及び出力結合部に設けられた、前記第 1 の周波数帯の信号を短絡する回路をインダクタ及びキャパシタの直列共振回路により構成したことを特徴とする請求項 7 に記載のデュアルバンド増幅器。

20

【請求項 11】

前記第 1 の増幅回路の信号入力結合部及び出力結合部に設けられた、前記第 2 の周波数帯の信号を短絡する回路及び該回路の第 1 の周波数帯におけるサセプタンス成分を第 1 の周波数帯において打ち消す回路を先端開放あるいは先端短絡の並列スタブにより構成し、

前記第 2 の増幅回路の信号入力結合部及び出力結合部に設けられた、前記第 1 の周波数帯の信号を短絡する回路及び該回路の第 2 の周波数帯におけるサセプタンス成分を第 2 の周波数帯において打ち消す回路を先端開放あるいは先端短絡の並列スタブにより構成したことを特徴とする請求項 8 に記載のデュアルバンド増幅器。

30

【請求項 12】

前記第 1 の増幅回路の信号入力結合部及び出力結合部に設けられた、前記第 2 の周波数帯の信号を短絡する回路を先端開放の並列スタブにより構成し、該回路の第 1 の周波数帯におけるサセプタンス成分を第 1 の周波数帯において打ち消す回路をインダクタにより構成し、

前記第 2 の増幅回路の信号入力結合部及び出力結合部に設けられた、前記第 1 の周波数帯の信号を短絡する回路を先端開放の並列スタブにより構成し、該回路の第 2 の周波数帯におけるサセプタンス成分を第 2 の周波数帯において打ち消す回路をキャパシタにより構成した

40

ことを特徴とする請求項 8 に記載のデュアルバンド増幅器。

【請求項 13】

前記第 1 の増幅回路の信号入力結合部及び出力結合部に設けられた、前記第 2 の周波数帯の信号を短絡する回路をインダクタ及びキャパシタの直列共振回路により構成して、該回路の第 1 の周波数帯におけるサセプタンス成分を第 1 の周波数帯において打ち消す回路をインダクタにより構成し、

前記第 2 の増幅回路の信号入力結合部及び出力結合部に設けられた、前記第 1 の周波数帯の信号を短絡する回路をインダクタ及びキャパシタの直列共振回路により構成して、該回路の第 2 の周波数帯におけるサセプタンス成分を第 2 の周波数帯において打ち消す回路

50

をキャパシタにより構成した

ことを特徴とする請求項 8 に記載のデュアルバンド増幅器。

【請求項 14】

前記第 1 の増幅回路の信号入力結合部及び出力結合部に設けられた、前記第 2 の周波数帯の信号を短絡する回路をインダクタ及びキャパシタの直列共振回路により構成し、該回路の第 1 の周波数帯におけるサセプタンス成分を第 1 の周波数帯において打ち消す回路を先端開放あるいは先端短絡の並列スタブにより構成し、

前記第 2 の増幅回路の信号入力結合部及び出力結合部に設けられた、前記第 1 の周波数帯の信号を短絡する回路をインダクタ及びキャパシタの直列共振回路により構成し、該回路の第 2 の周波数帯におけるサセプタンス成分を第 2 の周波数帯において打ち消す回路を先端開放あるいは先端短絡の並列スタブにより構成した

ことを特徴とする請求項 8 に記載のデュアルバンド増幅器。

【請求項 15】

前記第 1 の増幅回路及び前記第 2 の増幅回路は入力インピーダンス整合回路及び出力インピーダンス整合回路を有し、

前記第 1 の増幅回路及び前記第 2 の増幅回路の前記入力インピーダンス整合回路及び前記出力インピーダンス整合回路がそれぞれの第 1 の周波数帯及び第 2 の周波数帯において最適信号入出力特性を実現するトランジスタの信号源インピーダンス及び負荷インピーダンスを備えた

ことを特徴とする請求項 3 ~ 14 の何れか 1 項に記載のデュアルバンド増幅器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、次世代移動体通信システムの送信電力増幅器に関し、特に、コグニティブ無線など周波数の高度利用が進む次世代移動体通信システムに必要となる複数帯域バンドに対応可能な無線通信機用の送信電力増幅器に関する。

【背景技術】

【0002】

近年、移動体通信・無線 LAN の高度化や既存システムの効率化を目指すコグニティブ無線などの通信システムの高度化に伴って、複数の通信方式や複数の信号周波数帯域に対応する要求が高くなり、無線通信機器に対して、複数の通信方式、複数の信号周波数帯域に対応する多周波帯信号を処理できるマルチバンド(Multi-band)技術への要求が高くなっている。

【0003】

無線機器のマルチバンド化は、周波数帯の異なる単一信号周波数帯を処理する送信機及び受信機を複数台備えて切り替えを行う従来型タイプに加えて、小型化を目指して、単一の受信機あるいは送信機により複数の周波数帯信号を処理するタイプの研究開発が進められている。後者は、受信機及び送信機を構成するフィルタ、ミキサ、増幅器などを複数の周波数帯に対応できるように構成している。そして、同時に一周波数帯信号のみを処理するタイプから、同時に複数周波数帯信号を処理するタイプへの要求へと進んでいる。

【0004】

こうした中、特に無線機器の要である送信電力増幅器のマルチバンド化が最も大きな課題となっているが、複数の周波数帯信号の帯域を切り替えて増幅するタイプは、複数の周波数帯を同時に増幅できない。しかし、将来の移動通信体システムにおいて周波数高度利用技術の重要性が増すとともに、複数の周波数帯信号を同時(concurrent)に増幅するコンカレント型マルチバンド電力増幅器はキーテクノロジーになるとと思われる。

【0005】

まず従来は、非特許文献 1 に記されているように、コンカレント型増幅器は当初低雑音増幅器の取り組みに始まった。その後、コンカレント型電力増幅器の研究開発への取り組みが始まり、単一のトランジスタに対して複数周波帯での複数のインピーダンス整合条件

10

20

30

40

50

を実現する複数整合型などの研究開発が盛んになり、これまでに多くの報告がある。例えば、特許文献以外の文献としては、非特許文献 2、非特許文献 3 等がある。また、関連する特許文献としては、特許文献 1、2、3、4 等が挙げられる。

【先行技術文献】

【非特許文献】

【0006】

【非特許文献 1】H. Hashemi et al., Concurrent multiband low-noise amplifiers-theory, design, and applications (Invited paper), "IEEE Trans. Microwave Theory and Techniques, vol.50, no.1, pp.288-301, Jan. 2002.

【非特許文献 2】K. Uchida et al., "Dual-band GaAs FET power amplifier with two-frequency matching circuits," Proc. of Asia-Pacific Microwave Conference, pp.197-200, Dec, 2005.

【非特許文献 3】S. Hun Ji et al., "Concurrent dual-band class-E power amplifier using composite right/left-handed transmission lines," IEEE Trans. Microwave Theory and Techniques, vol.55, no.6, pp.1341-1347, June 2007.

【非特許文献 4】P. Colantonio et al., "simultaneous dual-band high efficiency harmonic tuned power amplifier in GaN technology," Proc. European Microwave Integrated Circuits Conference, pp.127-130, Oct. 2007.

【特許文献】

【0007】

【特許文献 1】特開平 11 - 234148 号公報

【特許文献 2】特開 2008 - 154233 号公報

【特許文献 3】特開 2010 - 200310 号公報

【特許文献 4】特開 2013 - 143770 号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

しかしながら、上記のタイプの増幅器は入力及び出力インピーダンス整合回路の設計において、同時に複数の整合条件を満たす必要があり、回路構成が複雑で素子数が多くなるという問題があった。そのために、設計精度を上げることが容易ではなく、回路損失も大きなものであった。

【0009】

また従来は、1つのトランジスタに複数の周波数信号を入力するため、単一の周波数信号を入力した場合に比べて、信号入力電力に対して信号出力電力の飽和が早くなり、かつ、ひずみ特性の劣化が大きいという大きな問題を生じていた。

【0010】

本出願に係る発明は、上記のような課題を解決するためになされたものであり、その目的とするところは、単一のトランジスタを同時共通に使用することにより発生する問題を解決して、回路設計の容易化と良好な電力増幅特性を実現するコンカレント型マルチバンド電力増幅器を提供することにある。

【課題を解決するための手段】

【0011】

上記目的を達成するため本出願に係る第 1 の発明は、一例を図 1 A、図 1 B に示すと、複数 (N : N は 2 以上の自然数) の周波数帯域の信号をそれぞれ独立に増幅する複数個 (N) のトランジスタ増幅回路 10、20、・・・50、70 により構成して、同時 (concurrent) に複数周波数帯 (multiband) の信号を増幅するコンカレント型マルチバンド増幅器を提供する。第 n ($n = 1 \sim N$ のいずれか) の増幅回路 50 は、第 n 以外の周波数帯信号を阻止する回路 52、53 を備えて、第 n の周波数帯の信号を増幅出力する。

第 n のトランジスタ増幅回路 50 は、各該当周波数帯に対して、入力結合部及び出力結合部に備えた第 n 以外の周波数帯を阻止する回路 52、53 を含めて増幅素子であるトラ

10

20

30

40

50

ンジスタに対する入力及び出力インピーダンス整合回路を設計する。これにより、各該当周波数帯に対して最適特性を実現することができる。

本発明によれば、複数の周波数帯の信号が単一の増幅回路により同時増幅されることは無いため、単一トランジスタにより増幅される場合の先に述べた問題を生じることは無く、特に、高効率かつ低ひずみのマルチバンド電力増幅器を実現できる。

【0012】

さらに、本出願に係る第2の発明は、上記第1の発明において、各増幅回路は入力インピーダンス整合回路及び出力インピーダンス整合回路を有し、

第nの増幅回路の入力インピーダンス整合回路及び出力インピーダンス整合回路が第nの周波数帯において最適信号入出力特性を実現するトランジスタの信号源インピーダンス及び負荷インピーダンスを備えたことを特徴とするマルチバンド増幅器である。

10

【0013】

また、本出願に係る第3の発明は、一例を図2に示すと、第1及び第2の周波数帯の信号を同時に増幅するデュアルバンド増幅器であって、前記第1の周波数帯の信号を増幅する第1の増幅回路30及び前記第2の周波数帯の信号を増幅する第2の増幅回路40を備えており、

前記第1の増幅回路30はその信号入力結合部及び出力結合部に第2の周波数帯の信号を阻止する第2周波数帯阻止回路32、33を備え、

前記第2の増幅回路40はその信号入力結合部及び出力結合部に第1の周波数帯の信号を阻止する第1周波数帯阻止回路42、43を備えたことを特徴とするデュアルバンド増幅器である。

20

【0014】

さらに、本出願に係る第4の発明は、一例を図4に示すと、上記第2の発明において、前記第1の増幅回路30はその信号入力結合部及び出力結合部に、並列共振周波数が第2の周波数帯にある回路36、37を直列に備えることにより前記第2周波数帯阻止回路を構成し、

前記第2の増幅回路40はその信号入力結合部及び出力結合部に、並列共振周波数が第1の周波数帯にある回路46、47を直列に備えることにより前記第1周波数帯阻止回路を構成した

ことを特徴とするデュアルバンド増幅器である。

30

【0015】

また、本出願に係る第5の発明は、一例を図5に示すと、上記第2の発明において、

第1の増幅回路30Aはその信号入力結合部及び出力結合部に、並列共振周波数が第2の周波数帯にある回路36、37を直列に備え、かつ、該回路36、37の第1の周波数帯における直列リアクタンス成分を第1の周波数帯において打ち消す直列に挿入された回路素子361、371を備えることにより第2周波数帯阻止回路36A、37Aを構成し、

第2の増幅回路40Aはその信号入力結合部及び出力結合部に、並列共振周波数が第1の周波数帯にある回路46、47を直列に備え、かつ、該回路46、47の第2の周波数帯における直列リアクタンス成分を第2の周波数帯において打ち消す直列に挿入された回路素子461、471を備えることにより第1周波数帯阻止回路46A、47Aを構成した

ことを特徴とするデュアルバンド増幅器である。

40

【0016】

さらに、本出願に係る第6の発明は、上記第3又は第4の発明において、

並列共振周波数が第2の周波数帯にある回路36、37及び並列共振周波数が第1の周波数帯にある回路46、47を、並列に接続されたインダクタ及びキャパシタにより構成した

ことを特徴とするデュアルバンド増幅器である。

50

【0017】

また、本出願に係る第7の発明は、一例を図6に示すと、上記第2の発明において、前記第1の増幅回路30はその信号入力結合部及び出力結合部に、特性インピーダンスが50Ωで第2の周波数帯の信号に対して長さが4分の1波長の直列伝送線路72、74及び第2の周波数帯の信号を短絡する回路73、75からなる前記第2周波数帯阻止回路32、33を備え、

前記第2の増幅回路40はその信号入力結合部及び出力結合部に、特性インピーダンスが50Ωで第1の周波数帯の信号に対して長さが4分の1波長の直列伝送線路82、84及び第1の周波数帯の信号を短絡する回路83、85からなる前記第1周波数帯阻止回路42、43を備えた

ことを特徴とするデュアルバンド増幅器である。

10

【0018】

さらに、本出願に係る第8の発明は、一例を図7に示すと、上記第2の発明において、前記第1の増幅回路30Bはその信号入力結合部及び出力結合部に、特性インピーダンスが50Ωで第2の周波数帯の信号に対して長さが4分の1波長の直列伝送線路72、74及び第2の周波数帯の信号を短絡する回路73、75、該短絡する回路73、75の第1の周波数帯におけるサセプタンス成分を第1の周波数帯において打ち消す回路38、39からなる第2周波数帯阻止回路321、331を備え、

前記第2の増幅回路40Bはその信号入力結合部及び出力結合部に、特性インピーダンスが50Ωで第1の周波数帯の信号に対して長さが4分の1波長の直列伝送線路82、84及び第1の周波数帯の信号を短絡する回路83、85、該短絡する回路83、85の第2の周波数帯におけるサセプタンス成分を第2の周波数帯において打ち消す回路48、49からなる第1周波数帯阻止回路421、431を備えた

ことを特徴とするデュアルバンド増幅器である。

20

【0019】

また、本出願に係る第9の発明は、一例を図8に示すと、上記第6の発明において、前記第1の増幅回路30Cの信号入力結合部及び出力結合部に設けられた、前記第2の周波数帯の信号を短絡する回路を先端開放の並列スタブ731、751により構成して、

前記第2の増幅回路40Cの信号入力結合部及び出力結合部に設けられた、前記第1の周波数帯の信号を短絡する回路を先端開放の並列スタブ831、851により構成したことを特徴とするデュアルバンド増幅器である。

30

【0020】

さらに、本出願に係る第10の発明は、一例を図9に示すと、上記第6の発明において、

前記第1の増幅回路30Dの信号入力結合部及び出力結合部に設けられた、前記第2の周波数帯の信号を短絡する回路をインダクタ及びキャパシタの直列共振回路732、752により構成し、

前記第2の増幅回路40Dの信号入力結合部及び出力結合部に設けられた、前記第1の周波数帯の信号を短絡する回路をインダクタ及びキャパシタの直列共振回路832、852により構成した

ことを特徴とするデュアルバンド増幅器である。

40

【0021】

また、本出願に係る第11の発明は、一例を図10に示すと、上記第7の発明において、

前記第1の増幅回路30Bの信号入力結合部及び出力結合部に設けられた、前記第2の周波数帯の信号を短絡する回路731、751及び該回路731、751の第1の周波数帯におけるサセプタンス成分を第1の周波数帯において打ち消す回路381、391を先端開放あるいは先端短絡の並列スタブにより構成し、

前記第2の増幅回路40Bの信号入力結合部及び出力結合部に設けられた、前記第1の周波数帯の信号を短絡する回路831、851及び該回路831、851の第2の周波数

50

帯におけるサセプタンス成分を第 2 の周波数帯において打ち消す回路 4 8 1、4 9 1 を先端開放あるいは先端短絡の並列スタブにより構成したことを特徴とするデュアルバンド増幅器である。

【0022】

さらに、本出願に係る第 1 2 の発明は、一例を図 1 1 に示すと、上記第 7 の発明において、

前記第 1 の増幅回路 3 0 B の信号入力結合部及び出力結合部に設けられた、前記第 2 の周波数帯の信号を短絡する回路 7 3 1、7 5 1 を先端開放の並列スタブにより構成し、該回路 7 3 1、7 5 1 の第 1 の周波数帯におけるサセプタンス成分を第 1 の周波数帯において打ち消す回路 3 8 2、3 9 2 をインダクタにより構成し、

前記第 2 の増幅回路 4 0 B の信号入力結合部及び出力結合部に設けられた、前記第 1 の周波数帯の信号を短絡する回路 8 3 1、8 5 1 を先端開放の並列スタブにより構成し、該回路 8 3 1、8 5 1 の第 2 の周波数帯におけるサセプタンス成分を第 2 の周波数帯において打ち消す回路 4 8 2、4 9 2 をキャパシタにより構成したことを特徴とするデュアルバンド増幅器である。

【0023】

また、本出願に係る第 1 3 の発明は、一例を図 1 2 に示すと、上記第 7 の発明において、

前記第 1 の増幅回路 3 0 B の信号入力結合部及び出力結合部に設けられた、前記第 2 の周波数帯の信号を短絡する回路をインダクタ及びキャパシタの直列共振回路 7 3 2、7 5 2 により構成して、該回路 7 3 2、7 5 2 の第 1 の周波数帯におけるサセプタンス成分を第 1 の周波数帯において打ち消す回路 3 8 3、3 9 3 をインダクタにより構成し、

前記第 2 の増幅回路 4 0 B の信号入力結合部及び出力結合部に設けられた、前記第 1 の周波数帯の信号を短絡する回路をインダクタ及びキャパシタの直列共振回路 8 3 2、8 5 2 により構成して、該回路 8 3 2、8 5 2 の第 2 の周波数帯におけるサセプタンス成分を第 2 の周波数帯において打ち消す回路 4 8 3、4 9 3 をキャパシタにより構成したことを特徴とするデュアルバンド増幅器である。

【0024】

さらに、本出願に係る第 1 4 の発明は、一例を図 1 3 に示すと、上記第 7 の発明において、

前記第 1 の増幅回路 3 0 B の信号入力結合部及び出力結合部に設けられた、前記第 2 の周波数帯の信号を短絡する回路をインダクタ及びキャパシタの直列共振回路 7 3 2、7 5 2 により構成し、該回路 7 3 2、7 5 2 の第 1 の周波数帯におけるサセプタンス成分を第 1 の周波数帯において打ち消す回路を先端開放あるいは先端短絡の並列スタブ 3 8 4、3 9 4 により構成し、

前記第 2 の増幅回路 4 0 B の信号入力結合部及び出力結合部に設けられた、前記第 1 の周波数帯の信号を短絡する回路をインダクタ及びキャパシタの直列共振回路 8 3 2、8 5 2 により構成し、該回路 8 3 2、8 5 2 の第 2 の周波数帯におけるサセプタンス成分を第 2 の周波数帯において打ち消す回路を先端開放あるいは先端短絡の並列スタブ 4 8 4、4 9 4 により構成したことを特徴とするデュアルバンド増幅器である。

【0025】

また、本出願に係る第 1 5 の発明は、上記第 2 ~ 1 3 の何れか 1 つの発明において、第 1 及び第 2 の増幅回路は入力インピーダンス整合回路 3 4、4 4 及び出力インピーダンス整合回路 3 5、4 5 を有し、

第 1 及び第 2 の増幅回路の入力インピーダンス整合回路 3 4、4 4 及び出力インピーダンス整合回路 3 5、4 5 がそれぞれの第 1 及び第 2 の周波数帯において最適信号入出力特性を実現するトランジスタの信号源インピーダンス及び負荷インピーダンスを備えたことを特徴とするデュアルバンド増幅器である。

【0026】

10

20

30

40

50

本発明によれば、単一のトランジスタを同時共通 (concurrent) に使用することにより発生するトランジスタの入出力インピーダンス整合回路の構成及びその設計の複雑化、回路損失の増大、同時共通増幅による非線形性の影響の増大による出力電力飽和特性及びひずみ特性の劣化などを解決して、各増幅回路の独立設計が可能となる。その結果、設計精度の向上、出力電力飽和特性劣化の抑制、及びひずみ特性増大の抑制を実現することができる。

【図面の簡単な説明】

【0027】

【図1】本発明の第1実施形態によるマルチバンド増幅器の構成を示す図である。図1Aは概略構成図であり、図1Bは回路の一例の模式図である。

10

【図2】本発明の第2実施形態による増幅器の構成を示す概略図であり、2個の増幅回路から成るデュアルバンド増幅器を示す回路模式図である。

【図3】本発明のデュアルバンド増幅器の2周波数 f_1 および f_2 信号の同時増幅特性の例を示す図である。図3Aは、入力電力に対する出力電力 P_{out} 、入力電力に対する電力付加効率 PAE 、ドレイン効率 η_D を示し、図3Bは、各周波数の出力電力スペクトラムを示す。

【図4】本発明の第3実施形態による増幅器の構成を示す概略図であり、2個の増幅回路から成るデュアルバンド増幅器を示す回路模式図である。

【図5】本発明の第4実施形態による増幅器の構成を示す概略図であり、2個の増幅回路から成るデュアルバンド増幅器を示す回路模式図である。

20

【図6】本発明の第6実施形態による増幅器の構成を示す概略図であり、2個の増幅回路から成るデュアルバンド増幅器を示す回路模式図である。

【図7】本発明の第7実施形態による増幅器の構成を示す概略図であり、2個の増幅回路から成るデュアルバンド増幅器を示す回路模式図である。

【図8】本発明の第8実施形態による増幅器の構成を示す概略図であり、2個の増幅回路から成るデュアルバンド増幅器を示す回路模式図である。

【図9】本発明の第9実施形態による増幅器の構成を示す概略図であり、2個の増幅回路から成るデュアルバンド増幅器を示す回路模式図である。

【図10】本発明の第10実施形態による増幅器の構成を示す概略図であり、2個の増幅回路から成るデュアルバンド増幅器を示す回路模式図である。

30

【図11】本発明の第11実施形態による増幅器の構成を示す概略図であり、2個の増幅回路から成るデュアルバンド増幅器を示す回路模式図である。

【図12】本発明の第12実施形態による増幅器の構成を示す概略図であり、2個の増幅回路から成るデュアルバンド増幅器を示す回路模式図である。

【図13】本発明の第13実施形態による増幅器の構成を示す概略図であり、2個の増幅回路から成るデュアルバンド増幅器を示す回路模式図である。

【発明を実施するための形態】

【0028】

以下、図面を用いて本発明の実施の形態について説明する。なお、発明の理解のために実施の形態として、第2実施形態以降では、デュアルバンド増幅器を例に簡潔に説明しているが、各実施の形態を組み合わせることもでき、また、第2実施形態以降の構成は、第1実施形態に示すマルチバンド増幅器に適用することもできる。

40

【0029】

[第1実施形態]

図1は、本発明の第1実施形態によるマルチバンド増幅器の構成を示す概略図である。本実施の形態におけるマルチバンド増幅器は、第1から第N (Nは2以上の自然数) の複数の周波数帯の信号を同時に増幅するマルチバンド増幅器である。

【0030】

本発明の第1実施形態のマルチバンド増幅器は、図1Aに示すように、信号入力端子1及び信号出力端子2を備える。マルチバンド増幅器は、各周波数帯の信号に対応させて、

50

第 1 から第 N の複数の増幅回路 10、20、・・・50、・・・70 を有する。ここでは、N は 2 以上の自然数である。各増幅回路は F E T (Field Effect Transistor) からなる「トランジスタ増幅回路」であるが、以下、単に「増幅回路」と略記する。

第 1 の増幅回路 10 は、増幅回路 10 の入力側にあたる入力結合部に第 1 周波数帯以外の周波数帯信号を阻止する入力側阻止回路 12 を備える。また、増幅回路 10 は、増幅回路 10 の出力側にあたる出力結合部に第 1 周波数帯以外の周波数帯信号を阻止する出力側阻止回路 13 を備える。

【0031】

第 2 の増幅回路 20 はその入力結合部及び出力結合部に、第 2 周波数帯以外の周波数帯信号を阻止する入力側阻止回路 22 及び出力側阻止回路 23 をそれぞれ備える。同様に、第 n ($n = 3 \sim (N - 1)$) の増幅回路 50 はその入力結合部及び出力結合部に、第 n 周波数帯以外の周波数帯信号を阻止する入力側阻止回路 52 及び出力側阻止回路 53 をそれぞれ備える。第 N の増幅回路 70 はその入力結合部及び出力結合部に、第 N 周波数帯以外の周波数帯信号を阻止する入力側阻止回路 72 及び出力側阻止回路 73 をそれぞれ備える。

10

【0032】

図 1 において、信号入力端子 1 からマルチバンド増幅器に加えられた第 1 ないし第 N の多周波数帯信号は、入力側阻止回路 12 により第 1 周波数帯以外の周波数帯信号が阻止され、第 1 の周波数帯信号のみが増幅回路 10 に入力される。増幅回路 10 で増幅された第 1 の周波数帯信号は出力側阻止回路 13 を通って信号出力端子 2 から出力される。

20

【0033】

また、信号入力端子 1 からマルチバンド増幅器に加えられた多周波数帯信号は、入力側阻止回路 22 により第 2 周波数帯以外の周波数帯信号が阻止され、第 2 の周波数帯信号のみが増幅回路 20 に入力される。増幅回路 20 で増幅された第 2 の周波数帯信号は出力側阻止回路 23 を通って信号出力端子 2 から出力される。

以下同様に、第 n ($n = 3 \sim (N - 1)$) の周波数帯信号のみが増幅回路 50 に入力され、増幅回路 50 で増幅されて、信号出力端子 2 から出力される。また、第 N の周波数帯信号のみが増幅回路 70 に入力され、増幅回路 70 で増幅されて、信号出力端子 2 から出力される。なお、増幅回路 10、20・・・50、・・・70 で増幅された第 1 ないし第 N 周波数帯の多周波数帯信号は、合成されて信号出力端子 2 から出力される。

30

【0034】

なお、本実施形態の各増幅回路の増幅素子をトランジスタで構成した場合、トランジスタの増幅動作は特定のモード (A 級、B 級、C 級、F 級、逆 F 級、E 級、高調波リアクタンス終端増幅器、ドハティ増幅器など) に限定しない。また、各増幅回路は、一段構成の増幅回路に限るものではなく、多段構成の増幅回路であっても良い。各増幅回路をトランジスタで多段構成した場合、各周波数帯の増幅回路の段数は、必ずしも同一である必要はない。また、各周波数帯信号用の増幅回路は、他の周波数帯用増幅回路とは独立に構成してもよく、かつそれぞれの特性を独立に設計してよいことは言うまでもない。

【0035】

各増幅回路は、増幅素子である F E T と、F E T の入力側に配置された入力インピーダンス整合回路と、F E T の出力側に配置された出力インピーダンス整合回路を備えている。例えば第 n の増幅回路 50 に備えられた入力インピーダンス整合回路及び出力インピーダンス整合回路は、第 n 周波数帯以外の周波数帯信号を阻止する入力側阻止回路 52 及び出力側阻止回路 53 を含めて、増幅素子であるトランジスタに対する入力インピーダンス整合及び出力インピーダンス整合をする。

40

【0036】

具体的には、入力インピーダンス整合回路を、F E T から信号源側を見たときのインピーダンスが、F E T の最大付加電力効率を実現する F E T の信号源インピーダンス $Z_{S T 1}$ になるように設計する。また、出力インピーダンス整合回路を、F E T から負荷側を見たときのインピーダンスが、F E T の最大付加電力効率を実現する F E T の負荷インピー

50

ダンス $Z_{L T 1}$ になるように設計する。すなわち、入力インピーダンス整合回路及び出力インピーダンス整合回路は、入力側阻止回路 5 2 及び出力側阻止回路 5 3 をそれぞれ増幅回路 5 0 から見た信号源インピーダンス $Z_{S 1}$ 及び負荷インピーダンス $Z_{L 1}$ を、FET の最大付加電力効率を実現する FET の信号源インピーダンス $Z_{S T 1}$ 及び負荷インピーダンス $Z_{L T 1}$ にそれぞれ変換する機能を果たす。これにより、各該当周波数帯に対して最適特性を実現することができる。

【 0 0 3 7 】

図 1 B は、FET の入力側に入力インピーダンス整合回路を配置し、FET の出力側に出力インピーダンス整合回路を配置した例を示す。

第 1 の増幅回路 1 0 は、増幅素子である FET 1 1 を備え、FET 1 1 の第 1 周波数帯信号に対する入力インピーダンス整合及びその第 2 高調波に対するリアクタンス終端を実現する入力インピーダンス整合回路 1 4 が配置される。また、第 1 の増幅回路 1 0 は、FET 1 1 の第 1 周波数帯信号に対する出力インピーダンス整合及びその第 2 及び第 3 高調波に対するリアクタンス終端を実現する出力インピーダンス整合回路 1 5 が配置される。なお、入力インピーダンス整合回路 1 4 が第 2 高調波に対するリアクタンス終端を行い、出力インピーダンス整合回路 1 5 が第 2 及び第 3 高調波に対するリアクタンス終端を行うのは一例であり、それぞれより高い高調波までリアクタンス終端を行うようにしてもよい。

同様に、その他の増幅回路 2 0、5 0、7 0 は、増幅素子である FET 2 1、5 1、7 1 を備え、それぞれの FET 2 1、5 1、7 1 の前段に、入力インピーダンス整合回路 1 4 と同様の構成の入力インピーダンス整合回路 2 4、5 4、7 4 が配置される。また、それぞれの FET 2 1、5 1、7 1 の後段に、出力インピーダンス整合回路 1 5 と同様の構成の出力インピーダンス整合回路 2 5、5 5、7 5 が配置されている。

【 0 0 3 8 】

それぞれの入力インピーダンス整合回路 1 4、2 4、5 4、7 4 は、FET 1 1、2 1、5 1、7 1 から信号源側を見たときのインピーダンスが、FET 1 1、2 1、5 1、7 1 の最大付加電力効率を実現する FET 1 1、2 1、5 1、7 1 の信号源インピーダンス $Z_{S T 1}$ になるように設計される。また、それぞれの出力インピーダンス整合回路 1 5、2 5、5 5、7 5 は、FET 1 1、2 1、5 1、7 1 から負荷側を見たときのインピーダンスが、FET 1 1、2 1、5 1、7 1 の最大付加電力効率を実現する FET 1 1、2 1、5 1、7 1 の負荷インピーダンス $Z_{L T 1}$ になるように設計される。

なお、入力インピーダンス整合回路 1 4、2 4、5 4、7 4 と出力インピーダンス整合回路 1 5、2 5、5 5、7 5 は、例えばマイクロストリップ線路などの分布定数回路で形成される。

【 0 0 3 9 】

[第 2 実施形態]

図 2 は、本発明の第 2 実施形態による増幅器の構成を示す概略図であり、2 個のトランジスタ増幅回路（以下、単に「増幅回路」と略記）から成るデュアルバンド増幅器を示す回路模式図である。図 2 に示すように、デュアルバンド増幅器は、信号入力端子 3 と信号出力端子 4 を備える。また、デュアルバンド増幅器は、2 個の増幅回路 3 0、4 0 を有する。第 1 の増幅回路 3 0 は、第 1 の増幅回路 3 0 の入力側にあたる入力結合部に第 2 の周波数帯信号を阻止する入力側阻止回路 3 2 を備える。また、第 1 の増幅回路 3 0 は、第 1 の増幅回路 3 0 の出力側にあたる出力結合部に第 2 の周波数帯信号を阻止する出力側阻止回路 3 3 を備える。同様に、第 2 の増幅回路 4 0 はその入力結合部及び出力結合部に、第 1 の周波数帯信号を阻止する入力側阻止回路 4 2 及び出力側阻止回路 4 3 をそれぞれ備える。

【 0 0 4 0 】

デュアルバンド増幅器の信号入力端子 3 から加えられる 2 つの周波数帯信号のうち、第 1 の周波数帯信号は、第 2 の周波数帯信号を阻止する入力側阻止回路 3 2 を介して第 1 の増幅回路 3 0 に入力される。第 1 の増幅回路 3 0 で増幅された第 1 の周波数帯信号は、第

10

20

30

40

50

2の周波数帯信号を阻止する出力側阻止回路33を通過して信号出力端子4から出力される。このとき、信号入力端子3から、第2の周波数帯に対して第2の周波数帯信号を阻止する入力側阻止回路32を見たインピーダンスは開放である。また、出力端子4から、第2の周波数帯に対して第2の周波数帯信号を阻止する出力側阻止回路33を見たインピーダンスも開放になる。

【0041】

デュアルバンド増幅器の信号入力端子3から加えられる2つの周波数帯信号のうち、第2の周波数帯信号は、第1の周波数帯信号を阻止する入力側阻止回路42を介して第2の増幅回路40に入力され増幅される。そして、第2の周波数帯信号は、第1の周波数帯信号を阻止する出力側阻止回路43を介してデュアルバンド増幅器の信号出力端子4から出力される。信号入力端子3及び出力端子4から、第1の周波数帯に対して第1の周波数帯信号を阻止する入力側阻止回路42及び出力側阻止回路43をそれぞれ見たインピーダンスは開放である。

10

【0042】

第1の増幅回路30は、増幅素子であるFET31と、FET31の入力側に配置された入力インピーダンス整合回路34と、FET31の出力側に配置された出力インピーダンス整合回路35を備える。入力インピーダンス整合回路34及び出力インピーダンス整合回路35は、第2の周波数帯信号を阻止する入力側阻止回路32及び出力側阻止回路33を含めて、増幅素子であるトランジスタFET31に対する入力及び出力インピーダンス整合をする。

20

【0043】

具体的には、入力インピーダンス整合回路34を、FET31から信号源側を見たときのインピーダンスが、FET31の最大付加電力効率を実現するFET31の信号源インピーダンス $Z_{S T 1}$ になるように設計する。また、出力インピーダンス整合回路35を、FET31から負荷側を見たときのインピーダンスが、FET31の最大付加電力効率を実現するFET31の負荷インピーダンス $Z_{L T 1}$ になるように設計する。すなわち、入力インピーダンス整合回路34及び出力インピーダンス整合回路35は、入力側阻止回路32及び出力側阻止回路33をそれぞれ第1の増幅回路30から見た信号源インピーダンス $Z_{S 1}$ 及び負荷インピーダンス $Z_{L 1}$ を、FET31の最大付加電力効率を実現するFET31の信号源インピーダンス $Z_{S T 1}$ 及び負荷インピーダンス $Z_{L T 1}$ にそれぞれ変換する機能を果たす。

30

【0044】

第2の増幅回路40は、増幅素子であるFET41と、FET41の入力側に配置された入力インピーダンス整合回路44と、FET41の出力側に配置された出力インピーダンス整合回路45を備える。入力インピーダンス整合回路44及び出力インピーダンス整合回路45は、第1の周波数帯信号を阻止する入力側阻止回路42及び出力側阻止回路43をそれぞれ増幅回路40から見た信号源インピーダンス $Z_{S 2}$ 及び負荷インピーダンス $Z_{L 2}$ を、FET41の最大付加電力効率を実現するFET41の信号源インピーダンス $Z_{S T 2}$ 及び負荷インピーダンス $Z_{L T 2}$ にそれぞれ変換する。

40

【0045】

このように周波数阻止回路及び増幅回路のインピーダンス整合回路を設計することにより、各周波数帯信号に対して最大付加電力効率特性を実現する同時デュアルバンド電力増幅器を得ることができる。また、各周波数帯信号を増幅する増幅回路は、前記したように独立に整合回路を設計できるため、FETの種類やゲート幅を自由に選択でき、かつ電力効率や出力電力に関して最適設計の精度が高くなり、高効率電力特性の達成が容易となる。さらに、本発明の増幅器は各周波数帯信号が独立した増幅回路により増幅されるため、異なる周波数帯信号間の相互変調や混変調などのひずみを発生しない。

なお、本実施例はトランジスタ1段増幅回路について説明したが、増幅回路を多段構成にした場合も含むことは言うまでもない。また、トランジスタの増幅動作は、特定のモード(A級、B級、C級、F級、逆F級、E級、高周波リアクタンス終端増幅器、ドハティ

50

増幅器など)に限定されない。

【0046】

ここで、第3実施形態による、2つの周波数信号(f_1 , f_2)を同時に増幅したデュアルバンド増幅器の特性として、入力電力(dBm)に対する出力電力(dBm) P_{out} と、入力電力(dBm)に対する電力付加効率PAE (Power Added Efficiency) (%) 及びドレイン効率 (%) について、図3を参照して説明する。

第1の増幅回路30は、第1の周波数帯信号(f_1)を増幅し、第2の増幅回路40は、第2の周波数帯信号(f_2)を増幅する。ここで、第1の周波数帯信号(f_1)は4.5GHzとし、第2の周波数帯信号(f_2)は8.5GHzとしている。

図3Aは、第1の周波数帯信号(f_1)の出力電力 $P_{out}(f_1)$ と第2の周波数帯信号(f_2)の出力電力 $P_{out}(f_2)$ 、第1の周波数帯信号(f_1)の電力付加効率PAE(f_1)と第2の周波数帯信号(f_2)の電力付加効率PAE(f_2)、及び第1の周波数帯信号(f_1)のドレイン効率 $\eta_D(f_1)$ と第2の周波数帯信号(f_2)のドレイン効率 $\eta_D(f_2)$ を示す。図3Aにおいて、実線は、第1の周波数帯信号(f_1)の特性であり、破線は、第2の周波数帯信号(f_2)の特性である。

【0047】

電力付加効率PAE(f_1)、PAE(f_2)は、[(出力電力 P_{out} - 入力電力 P_{in}) / 増幅器電力 P_{DC}] から求まる。増幅器電力 P_{DC} は、増幅素子に供給される直流電力である。また、ドレイン効率 $\eta_D(f_1)$ 、 $\eta_D(f_2)$ は、[出力電力 P_{out} / 増幅器電力 P_{DC}] から求まる。

図3Aから分かるように、入力電力 P_{in} に対する出力電力 P_{out} が、第1及び第2の周波数帯信号(f_1 , f_2)で十分なレベルであり、かつ電力付加効率PAE及びドレイン効率 η_D についても、良好な特性となっている。

【0048】

図3Bは、出力電力(dBm)に含まれる各周波数成分を示す。なお、図3Bでは、第1の周波数帯信号(f_1)の入力電力 P_{in} を29dBm、第2の周波数帯信号(f_2)の入力電力 P_{in} を32dBmとして、出力電力(dBm)スペクトラムを求めている。

図3Bから分かるように、第1の周波数 f_1 の高調波 $2f_1$ 、 $3f_1$ 、 \dots が十分に抑制されており、第2の周波数 f_2 の高調波 $2f_2$ 、 \dots についても十分に抑制されている。また、 $[f_2 - f_1]$ などの第1の周波数 f_1 と第2の周波数 f_2 の差の周波数成分についても、周波数 f_1 、 f_2 に比べて十分に小さく、相互変調歪についても十分に抑制されていることが分かる。

【0049】

[第3実施形態]

図4は、本発明の第3実施形態による増幅器の構成を示す概略図であり、2個のトランジスタ増幅回路(以下、単に「増幅回路」と略記)から成るデュアルバンド増幅器を示す回路模式図である。図4において、図2と同一の構成からなる部分については、同一符号を付して説明を省略する。

【0050】

第1の増幅回路30は、第1の増幅回路30の入力側にあたる入力結合部に、第2の周波数帯信号を阻止する入力側阻止回路36を備える。入力側阻止回路36は並列共振周波数が第2の周波数帯にある回路であり、増幅回路30と直列に配置される。並列共振回路は、並列共振周波数でインピーダンスが開放に近くなるので、入力側阻止回路36を第1の増幅回路30と直列に配置することにより、第1の増幅回路30への第2の周波数帯信号の入力が阻止される。

【0051】

そして、第1の増幅回路30は、第1の増幅回路30の出力側にあたる出力結合部に、第2の周波数帯信号を阻止する出力側阻止回路37を備える。出力側阻止回路37も入力側阻止回路36と同様に、並列共振周波数が第2の周波数帯にある回路であり、第1の増幅回路30と直列に配置される。

10

20

30

40

50

【 0 0 5 2 】

同様に、第 2 の増幅回路 4 0 はその入力結合部及び出力結合部に、第 1 の周波数帯信号を阻止する入力側阻止回路 4 6、及び出力側阻止回路 4 7 をそれぞれ備える。

【 0 0 5 3 】

デュアルバンド増幅器の信号入力端子 3 から加えられる 2 つの周波数帯信号のうち、第 1 の周波数帯信号は、入力側阻止回路 3 6 を介して第 1 の増幅回路 3 0 に入力される。第 1 の増幅回路 3 0 で増幅された第 1 の周波数帯信号は、出力側阻止回路 3 7 を通って信号出力端子 4 から出力される。信号入力端子 3 から、第 2 の周波数帯に対して第 2 の周波数帯信号を阻止する入力側阻止回路 3 6 を見たインピーダンスは開放である。また、出力端子 4 から、第 2 の周波数帯に対して第 2 の周波数帯信号を阻止する出力側阻止回路 3 7 を見たインピーダンスも開放になる。

10

【 0 0 5 4 】

デュアルバンド増幅器の信号入力端子 3 から加えられた 2 つの周波数帯信号のうち、第 2 の周波数帯信号は、第 1 の周波数帯信号を阻止する入力側阻止回路 4 6 を介して第 2 の増幅回路 4 0 に入力され、増幅される。そして、第 2 の周波数帯信号は、第 1 の周波数帯信号を阻止する出力側阻止回路 4 7 を介してデュアルバンド増幅器の信号出力端子 4 から出力される。信号入力端子 3 及び出力端子 4 から、第 1 の周波数帯に対して第 1 の周波数帯信号を阻止する入力側阻止回路 4 6 及び出力側阻止回路 4 7 をそれぞれ見たインピーダンスは開放である。

20

【 0 0 5 5 】

第 1 の増幅回路 3 0 は、増幅素子である F E T 3 1 と、F E T 3 1 の入力側に配置された入力インピーダンス整合回路 3 4 と、F E T 3 1 の出力側に配置された出力インピーダンス整合回路 3 5 を備える。入力インピーダンス整合回路 3 4 及び出力インピーダンス整合回路 3 5 は、第 2 の周波数帯信号を阻止する入力側阻止回路 3 6 及び出力側阻止回路 3 7 を含めて、増幅素子であるトランジスタ F E T 3 1 に対する入力及び出力インピーダンス整合をする。

【 0 0 5 6 】

具体的には、入力インピーダンス整合回路 3 4 を、F E T 3 1 から信号源側を見たときのインピーダンスが、F E T 3 1 の最大付加電力効率を実現する F E T 3 1 の信号源インピーダンス $Z_{S T 1}$ になるように設計する。また、出力インピーダンス整合回路 3 5 を、F E T 3 1 から負荷側を見たときのインピーダンスが、F E T 3 1 の最大付加電力効率を実現する F E T 3 1 の負荷インピーダンス $Z_{L T 1}$ になるように設計する。すなわち、入力インピーダンス整合回路 3 4 及び出力インピーダンス整合回路 3 5 は、入力側阻止回路 3 6 及び出力側阻止回路 3 7 をそれぞれ第 1 の増幅回路 3 0 から見た信号源インピーダンス $Z_{S 1}$ 及び負荷インピーダンス $Z_{L 1}$ を、F E T 3 1 の最大付加電力効率を実現する F E T 3 1 の信号源インピーダンス $Z_{S T 1}$ 及び負荷インピーダンス $Z_{L T 1}$ にそれぞれ変換する機能を果たす。

30

【 0 0 5 7 】

第 2 の増幅回路 4 0 は、増幅素子である F E T 4 1 と、F E T 4 1 の入力側に配置された入力インピーダンス整合回路 4 4 と、F E T 4 1 の出力側に配置された出力インピーダンス整合回路 4 5 を備える。入力インピーダンス整合回路 4 4 及び出力インピーダンス整合回路 4 5 は、第 1 の周波数帯信号を阻止する入力側阻止回路 4 6 及び出力側阻止回路 4 7 をそれぞれ増幅回路 4 0 から見た信号源インピーダンス $Z_{S 2}$ 及び負荷インピーダンス $Z_{L 2}$ を、F E T 4 1 の最大付加電力効率を実現する F E T 4 1 の信号源インピーダンス $Z_{S T 2}$ 及び負荷インピーダンス $Z_{L T 2}$ にそれぞれ変換する。

40

【 0 0 5 8 】

このように周波数阻止回路及び増幅回路のインピーダンス整合回路を設計することにより、各周波数帯信号に対して最大付加電力効率特性を実現する同時デュアルバンド電力増幅器を得ることができる。

【 0 0 5 9 】

50

[第 4 実施形態]

図 5 は、本発明の第 4 実施形態による増幅器の構成を示す概略図であり、2 個のトランジスタ増幅回路（以下、単に「増幅回路」と略記）から成るデュアルバンド増幅器を示す回路模式図である。図 5 において、図 2 と同一の構成からなる部分については、同一符号を付して説明を省略する。

なお、図 5 以降の各図において、増幅回路 30A、40A などのように、末尾に A、B、C、または D の符号を付す回路は、元の回路（増幅回路 30、40 など）と同一の構成でない場合があるために区別して示す。

【 0060 】

デュアルバンド増幅器は、2 個の増幅回路 30A、40A を有する。第 1 の増幅回路 30A は、第 1 の増幅回路 30A の入力側にあたる入力結合部に第 2 の周波数帯信号を阻止する入力側阻止回路 57 を備える。入力側阻止回路 57 は、並列共振周波数が第 2 の周波数帯にある入力側阻止回路 36 と、入力側阻止回路 36 の第 1 の周波数帯における直列リアクタンス成分を第 1 の周波数帯において打ち消す回路素子 56 を有する。入力側阻止回路 36 と回路素子 56 は直列に配置されて、入力側阻止回路 57 を構成する。

10

【 0061 】

そして、第 1 の増幅回路 30A は、第 1 の増幅回路 30A の出力側にあたる出力結合部に第 2 の周波数帯信号を阻止する出力側阻止回路 59 を備える。出力側阻止回路 59 は、並列共振周波数が第 2 の周波数帯にある出力側阻止回路 37 と、出力側阻止回路 37 の第 1 の周波数帯における直列リアクタンス成分を第 1 の周波数帯において打ち消す回路素子 58 を有する。出力側阻止回路 37 と回路素子 58 は直列に配置されて、出力側阻止回路 59 を構成する。

20

【 0062 】

同様に、第 2 の増幅回路 40A は、第 2 の増幅回路 40A の入力側にあたる入力結合部に第 1 の周波数帯信号を阻止する入力側阻止回路 67 を備える。入力側阻止回路 67 は、並列共振周波数が第 1 の周波数帯にある入力側阻止回路 46 と、入力側阻止回路 46 の第 2 の周波数帯における直列リアクタンス成分を第 2 の周波数帯において打ち消す回路素子 66 を有する。入力側阻止回路 46 と回路素子 66 は直列に配置されて、入力側阻止回路 67 を構成する。

【 0063 】

また、第 2 の増幅回路 40A は、第 2 の増幅回路 60 の出力側にあたる出力結合部に第 1 の周波数帯信号を阻止する出力側阻止回路 69 を備える。出力側阻止回路 69 は、並列共振周波数が第 1 の周波数帯にある出力側阻止回路 47 と、出力側阻止回路 47 の第 2 の周波数帯における直列リアクタンス成分を第 2 の周波数帯において打ち消す回路素子 68 を有する。出力側阻止回路 47 と回路素子 68 は直列に配置されて、出力側阻止回路 69 を構成する。

30

【 0064 】

デュアルバンド増幅器の信号入力端子 3 から加えられる 2 つの周波数帯信号のうち、第 1 の周波数帯信号は、入力側阻止回路 57 を介して第 1 の増幅回路 30A に入力される。第 1 の増幅回路 30A で増幅された第 1 の周波数帯信号は、出力側阻止回路 59 を通って信号出力端子 4 から出力される。信号入力端子 3 から、第 2 の周波数帯に対して第 2 の周波数帯信号を阻止する入力側阻止回路 57 を見たインピーダンスは開放である。また、出力端子 4 から、第 2 の周波数帯に対して第 2 の周波数帯信号を阻止する出力側阻止回路 59 を見たインピーダンスも開放になる。

40

【 0065 】

デュアルバンド増幅器の信号入力端子 3 から加えられる 2 つの周波数帯信号のうち、第 2 の周波数帯信号は、第 1 の周波数帯信号を阻止する入力側阻止回路 67 を介して第 2 の増幅回路 40A に入力され、増幅される。そして、この第 2 の周波数帯信号は、第 1 の周波数帯信号を阻止する出力側阻止回路 69 を介してデュアルバンド増幅器の信号出力端子 4 から出力される。信号入力端子 3 及び信号出力端子 4 から、第 1 の周波数帯に対して第

50

1の周波数帯信号を阻止する入力側阻止回路67及び出力側阻止回路69をそれぞれ見たインピーダンスは開放である。

【0066】

第1の増幅回路30Aは、増幅素子であるFET51と、FET51の入力側に配置された入力インピーダンス整合回路54と、FET51の出力側に配置された出力インピーダンス整合回路55を備える。入力インピーダンス整合回路54及び出力インピーダンス整合回路55は、第2の周波数帯信号を阻止する入力側阻止回路57及び出力側阻止回路59を含めて、増幅素子であるトランジスタFET51に対する入力及び出力インピーダンス整合をする。

【0067】

具体的には、入力インピーダンス整合回路54を、FET51から信号源側を見たときのインピーダンスが、FET51の最大付加電力効率を実現するFET51の信号源インピーダンス Z_{S1} になるように設計する。また、出力インピーダンス整合回路55を、FET51から負荷側を見たときのインピーダンスが、FET51の最大付加電力効率を実現するFET51の負荷インピーダンス Z_{L1} になるように設計する。すなわち、入力インピーダンス整合回路54及び出力インピーダンス整合回路55は、入力側阻止回路57及び出力側阻止回路59をそれぞれ第1の増幅回路30Aから見た信号源インピーダンス Z_{S1} 及び負荷インピーダンス Z_{L1} を、FET51の最大付加電力効率を実現するFET51の信号源インピーダンス Z_{ST1} 及び負荷インピーダンス Z_{LT1} にそれぞれ変換する機能を果たす。ここで、第2の周波数帯信号を阻止する入力側阻止回路57及び出力側阻止回路59のリアクタンス成分は打ち消されているため、第1の増幅回路30Aから見た信号源インピーダンス Z_{S1} 及び負荷インピーダンス Z_{L1} は50である。

【0068】

第2の増幅回路40Aは、増幅素子であるFET61と、FET61の入力側に配置された入力インピーダンス整合回路64と、FET61の出力側に配置された出力インピーダンス整合回路65を備える。入力インピーダンス整合回路64及び出力インピーダンス整合回路65は、第1の周波数帯信号を阻止する入力側阻止回路67及び出力側阻止回路69をそれぞれ第2の増幅回路40Aから見た信号源インピーダンス Z_{S2} 及び負荷インピーダンス Z_{L2} を、FET61の最大付加電力効率を実現するFET61の信号源インピーダンス Z_{ST2} 及び負荷インピーダンス Z_{LT2} にそれぞれ変換する。ここで、第1の周波数帯信号を阻止する入力側阻止回路67及び出力側阻止回路69のリアクタンス成分は打ち消されているため、第2の増幅回路40Aから見た信号源インピーダンス Z_{S2} 及び負荷インピーダンス Z_{L2} は50である。

【0069】

本実施形態では、デュアルバンド増幅器を構成する2台の増幅回路のそれぞれの信号源インピーダンス及び負荷インピーダンスが、基準インピーダンスの50であるため、インピーダンス整合回路の設計及び評価が容易となり、高性能化に有利となる特徴を備えている。このように周波数阻止回路と、増幅回路のインピーダンス整合回路を設計することにより、各周波数帯信号に対して最大付加電力効率特性を実現する同時デュアルバンド電力増幅器を得ることができる。

【0070】

[第5実施形態]

本発明の第5実施形態では、第3及び第4実施形態において、並列共振周波数が第2の周波数帯にある入力側阻止回路36及び出力側阻止回路37をそれぞれ、並列に接続されたインダクタ及びキャパシタにより構成した。また、並列共振周波数が第1の周波数帯にある入力側阻止回路46及び出力側阻止回路47をそれぞれ、並列に接続されたインダクタ及びキャパシタにより構成した。

【0071】

[第6実施形態]

図6は、本発明の第6実施形態による増幅器の構成を示す概略図であり、2個のトラン

10

20

30

40

50

ジスタ増幅回路（以下、単に「増幅回路」と略記）から成るデュアルバンド増幅器を示す回路模式図である。図6において、図2と同一の構成からなる部分については、同一符号を付して説明を省略する。

【0072】

第1の増幅回路30は、第1の増幅回路30の入力側にあたる入力結合部に第2の周波数帯信号を阻止する入力側阻止回路32を備える。入力側阻止回路32は、特性インピーダンスが50Ωで第2の周波数帯の信号に対して長さが4分の1波長の直列伝送線路72と、第2の周波数帯の信号を短絡する並列回路73を有する。直列伝送線路72は主線路に直列に接続され、並列回路73は主線路に並列に接続されて、入力側阻止回路32が構成される。

10

【0073】

また、第1の増幅回路30は、第1の増幅回路30の出力側にあたる出力結合部に第2の周波数帯信号を阻止する出力側阻止回路33を備える。出力側阻止回路33は、特性インピーダンスが50Ωで第2の周波数帯の信号に対して長さが4分の1波長の直列伝送線路74と、第2の周波数帯の信号を短絡する並列回路75を有する。直列伝送線路74は主線路に直列に接続され、並列回路75は主線路に並列に接続されて、出力側阻止回路33が構成される。

【0074】

同様に、第2の増幅回路40は、第2の増幅回路40の入力側にあたる入力結合部に第1の周波数帯信号を阻止する入力側阻止回路42を備える。入力側阻止回路42は、特性インピーダンスが50Ωで第1の周波数帯の信号に対して長さが4分の1波長の直列伝送線路82と、第1の周波数帯の信号を短絡する並列回路83を有する。直列伝送線路82は主線路に直列に接続され、並列回路83は主線路に並列に接続されて、入力側阻止回路42が構成される。

20

【0075】

また、第2の増幅回路40は、第2の増幅回路40の出力側にあたる出力結合部に第1の周波数帯信号を阻止する出力側阻止回路43を備える。出力側阻止回路43は、特性インピーダンスが50Ωで第1の周波数帯の信号に対して長さが4分の1波長の直列伝送線路84と、第1の周波数帯の信号を短絡する並列回路85を有する。直列伝送線路84は主線路に直列に接続され、並列回路85は主線路に並列に接続されて、出力側阻止回路43が構成される。

30

【0076】

デュアルバンド増幅器の信号入力端子3から加えられる2つの周波数帯信号のうち、第1の周波数帯信号は、入力側阻止回路32を介して第1の増幅回路30に入力される。そして、第1の増幅回路30で増幅された第1の周波数帯信号は、出力側阻止回路33を通過して信号出力端子4から出力される。信号入力端子4から、第2の周波数帯に対して第2の周波数帯信号を阻止する入力側阻止回路32を見たインピーダンスは開放である。また、信号出力端子4から、第2の周波数帯に対して第2の周波数帯信号を阻止する出力側阻止回路33を見たインピーダンスも開放になる。

40

【0077】

デュアルバンド増幅器の信号入力3から加えられる2つの周波数帯信号のうち、第2の周波数帯信号は、第1の周波数帯信号を阻止する入力側阻止回路42を介して第2の増幅回路40に入力され、増幅される。そして、第2の周波数帯信号は、第1の周波数帯信号を阻止する出力側阻止回路43を介してデュアルバンド増幅器の信号出力端子4から出力される。信号入力端子3及び出力端子4から、第1の周波数帯に対して第1の周波数帯信号を阻止する入力側阻止回路42及び出力側阻止回路43をそれぞれ見たインピーダンスは開放である。

【0078】

第1の増幅回路30は、増幅素子であるFET31と、FET31の入力側に配置された入力インピーダンス整合回路34と、FET31の出力側に配置された出力インピーダ

50

ンス整合回路 35 を備える。入力インピーダンス整合回路 34 及び出力インピーダンス整合回路 35 は、第 2 の周波数帯信号を阻止する入力側阻止回路 32 及び出力側阻止回路 33 を含めて、増幅素子であるトランジスタ FET 31 に対する入力及び出力インピーダンス整合をする。

【0079】

具体的には、入力インピーダンス整合回路 34 を、FET 31 から信号源側を見たときのアドミタンスが、FET 31 の最大付加電力効率を実現する FET 31 の信号源アドミタンス $Y_{S T 1}$ になるように設計する。また、出力インピーダンス整合回路 35 を、FET 31 から負荷側を見たときのアドミタンスが、FET 31 の最大付加電力効率を実現する FET 31 の負荷アドミタンス $Y_{L T 1}$ になるように設計する。すなわち、入力インピーダンス整合回路 34 及び出力インピーダンス整合回路 35 は、入力側阻止回路 32 及び出力側阻止回路 33 をそれぞれ第 1 の増幅回路 30 から見た信号源アドミタンス $Y_{S 1}$ 及び負荷アドミタンス $Y_{L 1}$ を、FET 31 の最大付加電力効率を実現する FET 31 の信号源アドミタンス $Y_{S T 1}$ 及び負荷アドミタンス $Y_{L T 1}$ にそれぞれ変換する機能を果たす。

10

【0080】

第 2 の増幅回路 40 は、増幅素子である FET 41 と、FET 41 の入力側に配置された入力インピーダンス整合回路 44 と、FET 41 の出力側に配置された出力インピーダンス整合回路 45 を備える。入力インピーダンス整合回路 44 及び出力インピーダンス整合回路 45 は、第 1 の周波数帯信号を阻止する入力側阻止回路 42 及び出力側阻止回路 43 をそれぞれ第 2 の増幅回路 40 から見た信号源アドミタンス $Y_{S 2}$ 及び負荷アドミタンス $Y_{L 2}$ を、FET 41 の最大付加電力効率を実現する FET 41 の信号源アドミタンス $Y_{S T 2}$ 及び負荷アドミタンス $Y_{L T 2}$ にそれぞれ変換する。

20

【0081】

なお、信号を短絡する並列回路 73、75、83、85 は先端開放の伝送線路、ラジアル線路、インダクタと容量素子の直列共振回路等、特定の回路・素子に限定されないことは言うまでもない。

【0082】

このように周波数阻止回路及び増幅回路のインピーダンス整合回路を設計することにより、各周波数帯信号に対して最大付加電力効率特性を実現する同時デュアルバンド電力増幅器を得ることができる。

30

【0083】

[第7実施形態]

図 7 は、本発明の第 7 実施形態による増幅器の構成を示す概略図であり、2 個のトランジスタ増幅回路（以下、単に「増幅回路」と略記）から成るデュアルバンド増幅器を示す回路模式図である。図 7 において、図 2 と同一の構成からなる部分については、同一符号を付して説明を省略する。

【0084】

第 1 の増幅回路 30 B は、第 1 の増幅回路 30 B の入力側にあたる入力結合部に第 2 の周波数帯信号を阻止する入力側阻止回路 32 1 を備える。入力側阻止回路 32 1 は、特性インピーダンスが 50Ω で第 2 の周波数帯の信号に対して長さが 4 分の 1 波長の直列伝送線路 7 2 と、第 2 の周波数帯の信号を短絡する並列回路 7 3 と、並列回路 7 3 の第 1 の周波数帯におけるサセプタンス成分を第 1 の周波数帯において打ち消す回路 3 8（以下、「打消回路 3 8」という）を有する。直列伝送線路 7 2 は主線路に直列に接続され、並列回路 7 3 と打消回路 3 8 は主線路に並列に接続されて、入力側阻止回路 32 1 が構成される。

40

【0085】

また、第 1 の増幅回路 30 B は、第 1 の増幅回路 30 B の出力側にあたる出力結合部に第 2 の周波数帯信号を阻止する出力側阻止回路 33 1 を備える。出力側阻止回路 33 1 は、特性インピーダンスが 50Ω で第 2 の周波数帯の信号に対して長さが 4 分の 1 波長の直

50

列伝送線路 7 4 と、第 2 の周波数帯の信号を短絡する並列回路 7 5 と、並列回路 7 5 の第 1 の周波数帯におけるサセプタンス成分を第 1 の周波数帯において打ち消す回路 3 9 (以下、「打消回路 3 9」という)を有する。直列伝送線路 7 4 は主線路に直列に接続され、並列回路 7 5 と打消回路 3 9 は主線路に並列に接続されて、出力側阻止回路 3 3 1 が構成される。

【 0 0 8 6 】

同様に、第 2 の増幅回路 4 0 B はその入力結合部に、第 1 の周波数帯信号を阻止する入力側阻止回路 4 2 1 を備える。入力側阻止回路 4 2 1 は、特性インピーダンスが 5 0 で第 1 の周波数帯の信号に対して長さが 4 分の 1 波長の直列伝送線路 8 2 と、第 1 の周波数帯の信号を短絡する並列回路 8 3 と、並列回路 8 3 の第 2 の周波数帯におけるサセプタンス成分を第 2 の周波数帯において打ち消す回路 4 8 (以下、「打消回路 4 8」という)を備える。

10

また、第 2 の増幅回路 4 0 B はその出力結合部に、第 1 の周波数帯信号を阻止する出力側阻止回路 4 3 1 を備える。この出力側阻止回路 4 3 1 は、特性インピーダンスが 5 0 で第 1 の周波数帯の信号に対して長さが 4 分の 1 波長の直列伝送線路 8 4 と、第 1 の周波数帯の信号を短絡する並列回路 8 5 と、並列回路 8 5 の第 2 の周波数帯におけるサセプタンス成分を第 2 の周波数帯において打ち消す回路 4 9 (以下、「打消回路 4 9」という)を備える。

【 0 0 8 7 】

デュアルバンド増幅器の信号入力端子 3 から加えられる 2 つの周波数帯信号のうち、第 1 の周波数帯信号は、入力側阻止回路 3 2 1 を介して第 1 の増幅回路 3 0 B に入力される。第 1 の増幅回路 3 0 B で増幅された第 1 の周波数帯信号は、出力側阻止回路 3 3 1 を通って信号出力端子 4 から出力される。信号入力端子 3 から、第 2 の周波数帯に対して第 2 の周波数帯信号を阻止する入力側阻止回路 3 2 1 を見たインピーダンスは開放である。また、信号出力端子 4 から、第 2 の周波数帯に対して第 2 の周波数帯信号を阻止する出力側阻止回路 3 3 1 を見たインピーダンスも開放となる。

20

【 0 0 8 8 】

デュアルバンド増幅器の信号入力端子 3 から加えられる 2 つの周波数帯信号のうち、第 2 の周波数帯信号は、第 1 の周波数帯信号を阻止する入力側阻止回路 4 2 1 を介して第 2 の増幅回路 4 0 B に入力され、増幅される。そして、この第 2 の周波数帯信号は、第 1 の周波数帯信号を阻止する出力側阻止回路 4 3 1 を介してデュアルバンド増幅器の信号出力端子 4 から出力される。信号入力端子 3 及び信号出力端子 4 から、第 1 の周波数帯に対して第 1 の周波数帯信号を阻止する入力側阻止回路 4 2 1 及び出力側阻止回路 4 3 1 をそれぞれ見たインピーダンスは開放である。

30

【 0 0 8 9 】

第 1 の増幅回路 3 0 B は、増幅素子である F E T 3 1 と、F E T 3 1 の入力側に配置された入力インピーダンス整合回路 3 4 B と、F E T 3 1 の出力側に配置された出力インピーダンス整合回路 3 5 B を備える。入力インピーダンス整合回路 3 4 B 及び出力インピーダンス整合回路 3 5 B は、第 2 の周波数帯信号を阻止する入力側阻止回路 3 2 1 及び出力側阻止回路 3 3 1 を含めて、増幅素子であるトランジスタ F E T 3 1 に対する入力及び出力インピーダンス整合をする。

40

【 0 0 9 0 】

具体的には、入力インピーダンス整合回路 3 4 B を、F E T 3 1 から信号源側を見たときのアドミタンスが、F E T 3 1 の最大付加電力効率を実現する F E T 3 1 の信号源アドミタンス $Y_{S T 1}$ になるように設計する。また、出力インピーダンス整合回路 3 5 B を、F E T 3 1 から負荷側を見たときのアドミタンスが、F E T 3 1 の最大付加電力効率を実現する F E T 3 1 の負荷アドミタンス $Y_{L T 1}$ になるように設計する。すなわち、入力インピーダンス整合回路 3 4 B 及び出力インピーダンス整合回路 3 5 B は、第 2 の周波数帯信号を阻止する入力側阻止回路 3 2 1 及び出力側阻止回路 3 3 1 をそれぞれ第 1 の増幅回路 3 0 から見た信号源アドミタンス $Y_{S 1} = 1 / (5 0)$ 及び負荷アドミタンス $Y_{L 1}$

50

$= 1 / (50)$ を、FET 31 の最大付加電力効率を実現する FET 31 の信号源アドミタンス $Y_{S T 1}$ 及び負荷アドミタンス $Y_{L T 1}$ にそれぞれ変換する機能を果たす。

【0091】

第2の増幅回路40Bは、増幅素子であるFET41と、FET41の入力側に配置された入力インピーダンス整合回路44Bと、FET41の出力側に配置された出力インピーダンス整合回路45Bを備える。入力インピーダンス整合回路44B及び出力インピーダンス整合回路45Bは、第1の周波数帯信号を阻止する入力側阻止回路421及び出力側阻止回路431をそれぞれ第2の増幅回路40から見た信号源アドミタンス $Y_{S 2} = 1 / (50)$ 及び負荷アドミタンス $Y_{L 2} = 1 / (50)$ を、FET41の最大付加電力効率を実現するFET41の信号源アドミタンス $Y_{S T 2}$ 及び負荷アドミタンス $Y_{L T 2}$ にそれぞれ変換する。本実施形態では、各増幅回路が見る信号源及び負荷インピーダンスが50であるため各増幅回路の設計及び評価が容易になるという特徴がある。

10

【0092】

なお、信号を短絡する並列回路73、75、83、85は先端開放の伝送線路、ラジアル線路、インダクタと容量素子の直列共振回路等、特定の回路・素子に限定しないことは言うまでもない。また、サセプタンス成分を打ち消す打消回路38、39、48、49は伝送線路、ラジアル線路、インダクタ、容量素子等、特定の回路・素子に限定しないことは言うまでもない。

【0093】

[第8実施形態]

20

図8は、本発明の第8実施形態による増幅器の構成を示す概略図であり、2個のトランジスタ増幅回路(以下、単に「増幅回路」と略記)から成るデュアルバンド増幅器を示す回路模式図である。図8において、図6と同一の構成からなる部分については、同一符号を付して説明を省略する。

【0094】

第8実施形態は、周波数帯信号を阻止する入力側阻止回路32C、42C及び出力側阻止回路33C、43Cにおけるそれぞれの周波数信号を短絡する回路73、75、83、85を、先端開放の並列スタブ731、751、831、851により構成したことを特徴とする。

【0095】

30

第2の周波数帯信号を阻止する入力側阻止回路32C及び出力側阻止回路33Cは、特性インピーダンスが50で第2の周波数帯の信号に対して長さが4分の1波長の直列伝送線路72及び74、及び第2の周波数帯信号において4分の1波長のストリップ線路構成の第2の周波数帯信号を短絡する先端開放の並列スタブ構成の回路731及び751から成る。

【0096】

また、第1の周波数帯信号を阻止する入力側阻止回路42C及び出力側阻止回路43Cについても、特性インピーダンスが50で第1の周波数帯の信号に対して長さが4分の1波長の直列伝送線路82及び84、及び第1の周波数帯信号において4分の1波長のストリップ線路構成の第1の周波数帯信号を短絡する先端開放の並列スタブ構成の回路831及び851から成る。

40

【0097】

入力側阻止回路32Cに接続された第1の増幅回路30Cは、増幅素子であるFET31と、FET31の入力側に配置された入力インピーダンス整合回路34Cと、FET31の出力側に配置された出力インピーダンス整合回路35Cを備える。出力インピーダンス整合回路35Cが、出力側阻止回路33Cに接続される。

入力側阻止回路42Cに接続された第2の増幅回路40Cは、増幅素子であるFET41と、FET41の入力側に配置された入力インピーダンス整合回路44Cと、FET41の出力側に配置された出力インピーダンス整合回路45Cを備える。出力インピーダンス整合回路45Cが、出力側阻止回路43Cに接続される。

50

なお、並列スタブはマイクロストリップ線路、コープレーナ線路、ラジアル線路等の特定の伝送線路に限定されないことは言うまでもない。

【0098】

[第9実施形態]

図9は、本発明の第9実施形態による増幅器の構成を示す概略図であり、2個のトランジスタ増幅回路(以下、単に「増幅回路」と略記)から成るデュアルバンド増幅器を示す回路模式図である。図9において、図6と同一の構成からなる部分については、同一符号を付して説明を省略する。

【0099】

第9実施形態は、周波数帯信号を阻止する入力側阻止回路32D、42D及び出力側阻止回路33D、43Dにおけるそれぞれの周波数信号を短絡する回路73、75、83、85を、インダクタ・キャパシタの直列回路732、752、832、852により構成したことを特徴とする。

10

【0100】

第2の周波数帯信号を阻止する入力側阻止回路32D及び出力側阻止回路33Dは、特性インピーダンスが50Ωで第2の周波数帯の信号に対して長さが4分の1波長の直列伝送線路72及び74、及び第2の周波数帯信号において直列共振短絡となるインダクタ・キャパシタの直列回路732及び752から成る。

【0101】

また、第1の周波数帯信号を阻止する入力側阻止回路42D及び出力側阻止回路43Dについても、特性インピーダンスが50Ωで第1の周波数帯の信号に対して長さが4分の1波長の直列伝送線路82及び84、及び第1の周波数帯信号において直列共振短絡となるインダクタ・キャパシタの直列回路832及び852から成る。

20

入力側阻止回路32Dに接続された第1の増幅回路30Dは、増幅素子であるFET31と、FET31の入力側に配置された入力インピーダンス整合回路34Dと、FET31の出力側に配置された出力インピーダンス整合回路35Dを備える。出力インピーダンス整合回路35Dが、出力側阻止回路33Dに接続される。

入力側阻止回路42Dに接続された第2の増幅回路40Dは、増幅素子であるFET41と、FET41の入力側に配置された入力インピーダンス整合回路44Dと、FET41の出力側に配置された出力インピーダンス整合回路45Dを備える。出力インピーダンス整合回路45Dが、出力側阻止回路43Dに接続される。

30

【0102】

[第10実施形態]

図10は、本発明の第10実施形態による増幅器の構成を示す概略図であり、2個のトランジスタ増幅回路(以下、単に「増幅回路」と略記)から成るデュアルバンド増幅器を示す回路模式図である。図10において、図7と同一の構成からなる部分については、同一符号を付して説明を省略する。

【0103】

第10実施形態は、図7に記載した周波数帯信号を阻止する入力側阻止回路321、421及び出力側阻止回路331、431におけるそれぞれの周波数信号を短絡する回路73、75、83、85を、先端開放の並列スタブ731、751、831、851により構成したことを特徴とする。

40

【0104】

第1の増幅回路30Bは、第1の増幅回路30Bの入力側にあたる入力結合部に第2の周波数帯信号を阻止する入力側阻止回路321を備える。入力側阻止回路321は、特性インピーダンスが50Ωで第2の周波数帯の信号に対して長さが4分の1波長の直列伝送線路72と、第2の周波数帯の信号を短絡する並列スタブ731と、並列スタブ731の第1の周波数帯におけるサセプタンス成分を第1の周波数帯において打ち消す先端開放あるいは先端短絡の並列スタブ381を有する。直列伝送線路72は主線路に直列に接続され、並列スタブ731と並列スタブ381は主線路に並列に接続されて、入力側阻止回路

50

3 2 1 が構成される。

【 0 1 0 5 】

また、第 1 の増幅回路 3 0 B は、第 1 の増幅回路 3 0 B の出力側にあたる出力結合部に第 2 の周波数帯信号を阻止する出力側阻止回路 3 3 1 を備える。出力側阻止回路 3 3 1 は、特性インピーダンスが 5 0 Ω で第 2 の周波数帯の信号に対して長さが 4 分の 1 波長の直列伝送線路 7 4 と、第 2 の周波数帯の信号を短絡する並列スタブ 7 5 1 と、並列スタブ 7 5 1 の第 1 の周波数帯におけるサセプタンス成分を第 1 の周波数帯において打ち消す先端開放あるいは先端短絡の並列スタブ 3 9 1 を有する。直列伝送線路 7 4 は主線路に直列に接続され、並列スタブ 7 5 1 と並列スタブ 3 9 1 は主線路に並列に接続されて、出力側阻止回路 3 3 1 が構成される。

10

【 0 1 0 6 】

同様に、第 2 の増幅回路 4 0 B はその入力結合部に、第 1 の周波数帯信号を阻止する入力側阻止回路 4 2 1 を備える。入力側阻止回路 4 2 1 は、特性インピーダンスが 5 0 Ω で第 1 の周波数帯の信号に対して長さが 4 分の 1 波長の直列伝送線路 8 2 と、第 1 の周波数帯の信号を短絡する並列スタブ 8 3 1 と、並列スタブ 8 3 1 の第 2 の周波数帯におけるサセプタンス成分を第 2 の周波数帯において打ち消す先端開放あるいは先端短絡の並列スタブ 4 8 1 を備える。また、第 2 の増幅回路 4 0 B はその出力結合部に、第 1 の周波数帯信号を阻止する出力側阻止回路 4 3 1 を備える。出力側阻止回路 4 3 1 は、特性インピーダンスが 5 0 Ω で第 1 の周波数帯の信号に対して長さが 4 分の 1 波長の直列伝送線路 8 4 と、第 1 の周波数帯の信号を短絡する並列スタブ 8 5 1 と、並列スタブ 8 5 1 の第 2 の周波数帯におけるサセプタンス成分を第 2 の周波数帯において打ち消す先端開放あるいは先端短絡の並列スタブ 4 9 1 を備える。

20

【 0 1 0 7 】

デュアルバンド増幅器の信号入力端子 3 から加えられる 2 つの周波数帯信号のうち、第 1 の周波数帯信号は、入力側阻止回路 3 2 1 を介して第 1 の増幅回路 3 0 B に入力される。第 1 の増幅回路 3 0 B で増幅された第 1 の周波数帯信号は、出力側阻止回路 3 3 1 を通って信号出力端子 4 から出力される。なお、信号入力端子 3 から、第 2 の周波数帯に対して第 2 の周波数帯信号を阻止する入力側阻止回路 3 2 1 を見たインピーダンスは開放である。また、出力端子 4 から、第 2 の周波数帯に対して第 2 の周波数帯信号を阻止する出力側阻止回路 3 3 1 を見たインピーダンスも開放になる。

30

【 0 1 0 8 】

デュアルバンド増幅器の信号入力端子 3 から加えられる 2 つの周波数帯信号のうち、第 2 の周波数帯信号は、第 1 の周波数帯信号を阻止する入力側阻止回路 4 2 1 を介して第 2 の増幅回路 4 0 B に入力され、増幅される。そして、この第 2 の周波数帯信号は、第 1 の周波数帯信号を阻止する出力側阻止回路 4 3 1 を介してデュアルバンド増幅器の信号出力端子 4 から出力される。信号入力端子 3 及び信号出力端子 4 から、第 1 の周波数帯に対して第 1 の周波数帯信号を阻止する入力側阻止回路 4 2 1 及び出力側阻止回路 4 3 1 をそれぞれ見たインピーダンスは開放である。

【 0 1 0 9 】

第 1 の増幅回路 3 0 B は、増幅素子である F E T 3 1 と、F E T 3 1 の入力側に配置された入力インピーダンス整合回路 3 4 B と、F E T 3 1 の出力側に配置された出力インピーダンス整合回路 3 5 B を備える。入力インピーダンス整合回路 3 4 B 及び出力インピーダンス整合回路 3 5 B は、第 2 の周波数帯信号を阻止する入力側阻止回路 3 2 1 及び出力側阻止回路 3 3 1 を含めて、増幅素子であるトランジスタ F E T 3 1 に対する入力及び出力インピーダンス整合をする。

40

【 0 1 1 0 】

具体的には、入力インピーダンス整合回路 3 4 B を、F E T 3 1 から信号源側を見たときのアドミタンスが、F E T 3 1 の最大付加電力効率を実現する F E T 3 1 の信号源アドミタンス $Y_{S T 1}$ になるように設計する。また、出力インピーダンス整合回路 3 5 B を、F E T 3 1 から負荷側を見たときのアドミタンスが、F E T 3 1 の最大付加電力効率を实

50

現する F E T 3 1 の負荷アドミタンス $Y_{L T 1}$ になるように設計する。すなわち、入力インピーダンス整合回路 3 4 B 及び出力インピーダンス整合回路 3 5 B は、入力側阻止回路 3 2 1 及び出力側阻止回路 3 3 1 をそれぞれ第 1 の増幅回路 3 0 B から見た信号源アドミタンス $Y_{S 1} = 1 / (50)$ 及び負荷アドミタンス $Y_{L 1} = 1 / (50)$ を、F E T 3 1 の最大付加電力効率を実現する F E T 3 1 の信号源アドミタンス $Y_{S T 1}$ 及び負荷アドミタンス $Y_{L T 1}$ にそれぞれ変換する機能を果たす。

【 0 1 1 1 】

第 2 の増幅回路 4 0 B は、増幅素子である F E T 4 1 と、F E T 4 1 の入力側に配置された入力インピーダンス整合回路 4 4 B と、F E T 4 1 の出力側に配置された出力インピーダンス整合回路 4 5 B を備える。入力インピーダンス整合回路 4 4 B 及び出力インピーダンス整合回路 4 5 B は、第 1 の周波数帯信号を阻止する入力側阻止回路 4 2 1 及び出力側阻止回路 4 3 1 をそれぞれ第 2 の増幅回路 4 0 B から見た信号源アドミタンス $Y_{S 2} = 1 / (50)$ 及び負荷アドミタンス $Y_{L 2} = 1 / (50)$ を、F E T 4 1 の最大付加電力効率を実現する F E T 4 1 の信号源アドミタンス $Y_{S T 2}$ 及び負荷アドミタンス $Y_{L T 2}$ にそれぞれ変換する。本実施形態では、各増幅回路から見る信号源及び負荷インピーダンスが 50 であるため各増幅回路の設計及び評価が容易になるという特徴がある。

10

【 0 1 1 2 】

なお、信号を短絡する並列スタブ 7 3 1、7 5 1、8 3 1、8 5 1 は先端開放の伝送線路、ラジアル線路等、特定の線路構造に限定されないことは言うまでもない。また、サセプタンス成分を打ち消す並列スタブ 3 8 1、3 9 1、4 8 1、4 9 1 は先端開放あるいは先端短絡の伝送線路、マイクロストリップ線路、コープレーナ線路、ラジアル線路等の特定の線路構造に限定されないことは言うまでもない。

20

【 0 1 1 3 】

[第 1 1 実施形態]

図 1 1 は、本発明の第 1 1 実施形態による増幅器の構成を示す概略図であり、2 個のトランジスタ増幅回路（以下、単に「増幅回路」と略記）から成るデュアルバンド増幅器を示す回路模式図である。図 1 1 において、図 7 と同一の構成からなる部分については、同一符号を付して説明を省略する。

【 0 1 1 4 】

第 1 1 実施形態は、図 7 に記載した周波数帯信号を阻止する入力側阻止回路 3 2 1、4 2 1 及び出力側阻止回路 3 3 1、4 3 1 におけるそれぞれの周波数信号を短絡する回路 7 3、8 3 及び 7 5、8 5 を、先端開放の並列スタブ 7 3 1、8 3 1 及び 7 5 1、8 5 1 により構成したことを特徴とする。

30

【 0 1 1 5 】

第 1 の増幅回路 3 0 B は、第 1 の増幅回路 3 0 B の入力側にあたる入力結合部に第 2 の周波数帯信号を阻止する入力側阻止回路 3 2 1 を備える。入力側阻止回路 3 2 1 は、特性インピーダンスが 50 で第 2 の周波数帯信号 f_2 ($f_2 > f_1$ とする) に対して長さが 4 分の 1 波長の直列伝送線路 7 2 と、第 2 の周波数帯の信号を短絡する並列スタブ 7 3 1 と、並列スタブ 7 3 1 の第 1 の周波数帯 f_1 におけるサセプタンス成分を第 1 の周波数帯において打ち消す並列インダクタ 3 8 2 を有する。直列伝送線路 7 2 は直列に接続され、並列スタブ 7 3 1 と並列インダクタ 3 8 2 は並列に接続されて、入力側阻止回路 3 2 1 を構成する。

40

【 0 1 1 6 】

また、第 1 の増幅回路 3 0 B は、第 1 の増幅回路 3 0 B の出力側にあたる出力結合部に第 2 の周波数帯信号を阻止する出力側阻止回路 3 3 1 を備える。出力側阻止回路 3 3 1 は、特性インピーダンスが 50 で第 2 の周波数帯信号に対して長さが 4 分の 1 波長の直列伝送線路 7 4 と、第 2 の周波数帯の信号を短絡する並列スタブ 7 5 1 と、並列スタブ 7 5 1 の第 1 の周波数帯 f_1 におけるサセプタンス成分を第 1 の周波数帯において打ち消す並列インダクタ 3 9 2 を有する。直列伝送線路 7 4 は直列に接続され、並列スタブ 7 5 1 と並列インダクタ 3 9 2 は並列に接続されて、出力側阻止回路 3 3 1 を構成する。

50

【 0 1 1 7 】

第2の増幅回路40Bはその入力結合部に、第1の周波数帯信号を阻止する入力側阻止回路421を備える。入力側阻止回路421は、特性インピーダンスが50Ωで第1の周波数帯信号 f_1 ($f_2 > f_1$ とする)に対して長さが4分の1波長の直列伝送線路82と、第1の周波数帯の信号を短絡する並列スタブ831と、並列スタブ831の第2の周波数帯 f_2 におけるサセプタンス成分を第2の周波数帯において打ち消す並列キャパシタ482を備える。また、第2の増幅回路40Bはその出力結合部に、第1の周波数帯信号を阻止する出力側阻止回路431として、特性インピーダンスが50Ωで第1の周波数帯信号 f_1 に対して長さが4分の1波長の直列伝送線路84と、第1の周波数帯の信号を短絡する並列スタブ851と、並列スタブ851の第2の周波数帯 f_2 におけるサセプタンス成分を第2の周波数帯において打ち消す並列キャパシタ482を備える。

10

【 0 1 1 8 】

デュアルバンド増幅器の信号入力端子3から加えられる2つの周波数帯信号のうち、第1の周波数帯信号 f_1 は、入力側阻止回路321を介して第1の増幅回路30Bに入力される。第1の増幅回路30Bで増幅された第1の周波数帯信号は、出力側阻止回路331を介して信号出力端子4から出力される。信号入力端子3から、第2の周波数帯に対して第2の周波数帯信号を阻止する入力側阻止回路321を見たインピーダンスは開放である。また、信号出力端子4から、第2の周波数帯に対して第2の周波数帯信号を阻止する出力側阻止回路331を見たインピーダンスも開放になる。

20

【 0 1 1 9 】

デュアルバンド増幅器の信号入力端子3から加えられる2つの周波数帯信号のうち、第2の周波数帯信号 f_2 は、第1の周波数帯信号を阻止する入力側阻止回路421を介して第2の増幅回路40Bに入力され、増幅される。この第2の周波数帯信号 f_2 は、第1の周波数帯信号を阻止する出力側阻止回路431を介してデュアルバンド増幅器の信号出力端子4から出力される。信号入力端子3及び信号出力端子4から、第1の周波数帯に対して第1の周波数帯信号を阻止する入力側阻止回路421及び出力側阻止回路431をそれぞれ見たインピーダンスは開放である。

【 0 1 2 0 】

第1の増幅回路30Bは、増幅素子であるFET31と、FET31の入力側に配置された入力インピーダンス整合回路34Bと、FET31の出力側に配置された出力インピーダンス整合回路35Bを備える。入力インピーダンス整合回路34B及び出力インピーダンス整合回路35Bは、第2の周波数帯信号を阻止する入力側阻止回路321及び出力側阻止回路331を含めて、増幅素子であるトランジスタFET31に対する入力及び出力インピーダンス整合をする。

30

【 0 1 2 1 】

具体的には、入力インピーダンス整合回路34Bを、FET31から信号源側を見たときのアドミタンスが、FET31の最大付加電力効率を実現するFET31の信号源アドミタンス $Y_{S T 1}$ になるように設計する。また、出力インピーダンス整合回路35Bを、FET31から負荷側を見たときのアドミタンスが、FET31の最大付加電力効率を実現するFET31の負荷アドミタンス $Y_{L T 1}$ になるように設計する。すなわち、入力インピーダンス整合回路34B及び出力インピーダンス整合回路35Bは、入力側阻止回路321及び出力側阻止回路331をそれぞれ第1の増幅回路30Bから見た信号源アドミタンス $Y_{S 1} = 1 / (50 \Omega)$ 及び負荷アドミタンス $Y_{L 1} = 1 / (50 \Omega)$ を、FET31の最大付加電力効率を実現するFET31の信号源アドミタンス $Y_{S T 1}$ 及び負荷アドミタンス $Y_{L T 1}$ にそれぞれ変換する機能を果たす。

40

【 0 1 2 2 】

第2の増幅回路40Bは、増幅素子であるFET41と、FET41の入力側に配置された入力インピーダンス整合回路44Bと、FET41の出力側に配置された出力インピーダンス整合回路45Bを備える。入力インピーダンス整合回路44B及び出力インピーダンス整合回路45Bは、第1の周波数帯信号を阻止する入力側阻止回路421及び出力

50

側阻止回路 4 3 1 をそれぞれ増幅回路 4 0 B から見た信号源アドミタンス $Y_{S_2} = 1 / (50)$ 及び負荷アドミタンス $Y_{L_2} = 1 / (50)$ を、F E T 4 1 の最大付加電力効率を実現する F E T 4 1 の信号源アドミタンス $Y_{S_T_2}$ 及び負荷アドミタンス $Y_{L_T_2}$ にそれぞれ変換する。本実施形態では、各増幅回路が見る信号源及び負荷インピーダンスが 50 であるため各増幅回路の設計及び評価が容易になるという特徴がある。

【 0 1 2 3 】

なお、信号を短絡する並列スタブ 7 3 1、7 5 1、8 3 1、8 5 1 は先端開放の伝送線路、マイクロストリップ線路、コープレーナ線路、ラジアル線路等の特定の線路構造に限定されないことは言うまでもない。

【 0 1 2 4 】

[第 1 2 実施形態]

図 1 2 は、本発明の第 1 2 実施形態による増幅器の構成を示す概略図であり、2 個のトランジスタ増幅回路（以下、単に「増幅回路」と略記）から成るデュアルバンド増幅器を示す回路模式図である。図 1 2 において、図 7 と同一の構成からなる部分については、同一符号を付して説明を省略する。

【 0 1 2 5 】

第 1 2 実施形態は、図 7 に記載した周波数帯信号を阻止する入力側阻止回路 3 2 1、4 2 1 及び出力側素子回路 3 3 1、4 3 1 におけるそれぞれの周波数信号を短絡する回路 7 3、8 3 及び 7 5、8 5 を、インダクタ・キャパシタの直列回路 7 3 2、8 3 2 及び 7 5 2、8 5 2 により構成したことを特徴とする。

【 0 1 2 6 】

第 1 の増幅回路 3 0 B は、第 1 の増幅回路 3 0 B の入力側にあたる入力結合部に第 2 の周波数帯信号を阻止する入力側阻止回路 3 2 1 を備える。入力側阻止回路 3 2 1 は、特性インピーダンスが 50 で第 2 の周波数帯信号 f_2 ($f_2 > f_1$ とする) に対して長さが 4 分の 1 波長の直列伝送線路 7 2 と、第 2 の周波数帯の信号を短絡するインダクタ及びキャパシタの直列回路 7 3 2 と、直列回路 7 3 2 の第 1 の周波数帯 f_1 におけるサセプタンス成分を第 1 の周波数帯において打ち消す並列インダクタ 3 8 3 を有する。直列伝送線路 7 2 は直列に接続され、直列回路 7 3 2 と並列インダクタ 3 8 3 は並列に接続されて、入力側阻止回路 3 2 1 を構成する。

【 0 1 2 7 】

また、第 1 の増幅回路 3 0 B は、第 1 の増幅回路 3 0 B の出力側にあたる出力結合部に第 2 の周波数帯信号を阻止する出力側阻止回路 3 3 1 を備える。出力側阻止回路 3 3 1 は、特性インピーダンスが 50 で第 2 の周波数帯信号 f_2 に対して長さが 4 分の 1 波長の直列伝送線路 7 4 と、第 2 の周波数帯の信号を短絡するインダクタ及びキャパシタの直列回路 7 5 2 と、直列回路 7 5 2 の第 1 の周波数帯 f_1 におけるサセプタンス成分を第 1 の周波数帯において打ち消す並列インダクタ 3 9 3 を有する。直列伝送線路 7 4 は直列に接続され、直列回路 7 5 2 と並列インダクタ 3 9 3 は並列に接続されて、出力側阻止回路 3 3 1 を構成する。

【 0 1 2 8 】

第 2 の増幅回路 4 0 B はその入力結合部に、第 1 の周波数帯信号を阻止する入力側阻止回路 4 2 1 を備える。この入力側阻止回路 4 2 1 は、特性インピーダンスが 50 で第 1 の周波数帯信号 f_1 ($f_2 > f_1$ とする) に対して長さが 4 分の 1 波長の直列伝送線路 8 2 と、第 1 の周波数帯の信号を短絡するインダクタ・キャパシタの直列回路 8 3 2 と、直列回路 8 3 2 の第 2 の周波数帯 f_2 におけるサセプタンス成分を第 2 の周波数帯において打ち消す並列キャパシタ 4 8 3 を備える。また、第 2 の増幅回路 4 0 B はその出力結合部に、第 1 の周波数帯信号を阻止する出力側阻止回路 4 3 1 として、特性インピーダンスが 50 で第 1 の周波数帯信号 f_1 に対して長さが 4 分の 1 波長の直列伝送線路 8 4 と、第 1 の周波数帯の信号を短絡するインダクタ・キャパシタの直列回路 8 5 2 と、直列回路 8 5 2 の第 2 の周波数帯 f_2 におけるサセプタンス成分を第 2 の周波数帯において打ち消す並列キャパシタ 4 8 3 を備える。

10

20

30

40

50

【 0 1 2 9 】

デュアルバンド増幅器の信号入力端子3から加えられる2つの周波数帯信号のうち、第1の周波数帯信号 f_1 は、入力側阻止回路321を介して第1の増幅回路30Bに入力される。第1の増幅回路30Bで増幅された第1の周波数帯信号は、出力側阻止回路331を介して信号出力端子4から出力される。信号入力端子3から、第2の周波数帯に対して第2の周波数帯信号を阻止する入力側阻止回路321を見たインピーダンスは開放である。また、信号出力端子4から、第2の周波数帯に対して第2の周波数帯信号を阻止する出力側阻止回路331を見たインピーダンスも開放になる。

【 0 1 3 0 】

デュアルバンド増幅器の信号入力端子3から加えられる2つの周波数帯信号のうち、第2の周波数帯信号 f_2 は、第1の周波数帯信号を阻止する入力側阻止回路421を介して第2の増幅回路40Bに入力され、増幅される。この第2の周波数帯信号 f_2 は、第1の周波数帯信号を阻止する出力側阻止回路431を介してデュアルバンド増幅器の信号出力端子4から取り出される。信号入力端子3及び信号出力端子4から、第1の周波数帯に対して第1の周波数帯信号を阻止する入力側阻止回路421及び出力側阻止回路431をそれぞれ見たインピーダンスは開放である。

10

【 0 1 3 1 】

第1の増幅回路30Bは、増幅素子であるFET31と、FET31の入力側に配置された入力インピーダンス整合回路34Bと、FET31の出力側に配置された出力インピーダンス整合回路35Bを備える。入力インピーダンス整合回路34B及び出力インピーダンス整合回路35Bは、第2の周波数帯信号を阻止する入力側阻止回路321及び出力側阻止回路331を含めて、増幅素子であるトランジスタFET31に対する入力及び出力インピーダンス整合をする。

20

【 0 1 3 2 】

具体的には、入力インピーダンス整合回路34Bを、FET31から信号源側を見たときのアドミタンスが、FET31の最大付加電力効率を実現するFET31の信号源アドミタンス Y_{S1} になるように設計する。また、出力インピーダンス整合回路35Bを、FET31から負荷側を見たときのアドミタンスが、FET31の最大付加電力効率を実現するFET31の負荷アドミタンス Y_{L1} になるように設計する。すなわち、入力インピーダンス整合回路34B及び出力インピーダンス整合回路35Bは、入力側阻止回路321及び出力側阻止回路331をそれぞれ第1の増幅回路30Bから見た信号源アドミタンス $Y_{S1} = 1 / (50 \quad)$ 及び負荷アドミタンス $Y_{L1} = 1 / (50 \quad)$ を、FET31の最大付加電力効率を実現するFET31の信号源アドミタンス Y_{S1} 及び負荷アドミタンス Y_{L1} にそれぞれ変換する機能を果たす。

30

【 0 1 3 3 】

第2の増幅回路40Bは、増幅素子であるFET41と、FET41の入力側に配置された入力インピーダンス整合回路44Bと、FET41の出力側に配置された出力インピーダンス整合回路45Bを備える。入力インピーダンス整合回路44B及び出力インピーダンス整合回路45Bは、第1の周波数帯信号を阻止する入力側阻止回路421及び出力側阻止回路431をそれぞれ第2の増幅回路40Bから見た信号源アドミタンス $Y_{S2} = 1 / (50 \quad)$ 及び負荷アドミタンス $Y_{L2} = 1 / (50 \quad)$ を、FET41の最大付加電力効率を実現するFET41の信号源アドミタンス Y_{S2} 及び負荷アドミタンス Y_{L2} にそれぞれ変換する。本実施形態では、各増幅回路が見る信号源及び負荷インピーダンスが50であるため各増幅回路の設計及び評価が容易になるという特徴がある。

40

【 0 1 3 4 】

[第 1 3 実施形態]

図13は、本発明の第13実施形態による増幅器の構成を示す概略図であり、2個のトランジスタ増幅回路(以下、単に「増幅回路」と略記)から成るデュアルバンド増幅器を示す回路模式図である。図13において、図7と同一の構成からなる部分については、同一符号を付して説明を省略する。

50

【 0 1 3 5 】

第 1 3 実施形態は、図 7 に記載した周波数帯信号を阻止する入力側阻止回路 3 2 1、4 2 1 及び出力側阻止回路 3 3 1、4 3 1 におけるそれぞれの周波数帯信号を短絡する回路 7 3、8 3 及び 7 5、8 5 を、インダクタ・キャパシタの直列回路 7 3 2、8 3 2、及び 7 5 2、8 5 2 により構成したことを特徴とする。

【 0 1 3 6 】

第 1 の増幅回路 3 0 B は、第 1 の増幅回路 3 0 B の入力側にあたる入力結合部に第 2 の周波数帯信号を阻止する入力側阻止回路 3 2 1 を備える。入力側阻止回路 3 2 1 は、特性インピーダンスが 50Ω で第 2 の周波数帯信号 f_2 ($f_2 > f_1$ とする) に対して長さが 4 分の 1 波長の直列伝送線路 7 2 と、第 2 の周波数帯の信号を短絡するインダクタ・キャパシタの直列回路 7 3 2 と、直列回路 7 3 2 の第 1 の周波数帯 f_1 におけるサセプタンス成分を第 1 の周波数帯において打ち消す先端開放あるいは先端短絡の並列スタブ 3 8 4 を有する。直列伝送線路 7 2 は主線路に直列に接続され、直列回路 7 3 2 と並列スタブ 3 8 4 は主線路に並列に接続されて、入力側阻止回路 3 2 1 を構成する。

10

【 0 1 3 7 】

また、第 1 の増幅回路 3 0 B は、第 1 の増幅回路 3 0 B の出力側にあたる出力結合部に第 2 の周波数帯信号を阻止する出力側阻止回路 3 3 1 を備える。出力側阻止回路 3 3 1 は、特性インピーダンスが 50Ω で第 2 の周波数帯信号 f_2 に対して長さが 4 分の 1 波長の直列伝送線路 7 4 と、第 2 の周波数帯の信号を短絡するインダクタ・キャパシタの直列回路 7 5 2 と、直列回路 7 5 2 の第 1 の周波数帯 f_1 におけるサセプタンス成分を第 1 の周波数帯において打ち消す先端開放あるいは先端短絡の並列スタブ 3 9 4 を有する。直列伝送線路 7 4 は主線路に直列に接続され、直列回路 7 5 2 と並列スタブ 3 9 4 は主線路に並列に接続されて、出力側阻止回路 3 3 1 を構成する。

20

【 0 1 3 8 】

第 2 の増幅回路 4 0 B はその入力結合部に、第 1 の周波数帯信号を阻止する入力側阻止回路 4 2 1 を備える。入力側阻止回路 4 2 1 は、特性インピーダンスが 50Ω で第 1 の周波数帯信号 f_1 ($f_2 > f_1$ とする) に対して長さが 4 分の 1 波長の直列伝送線路 8 2 と、第 1 の周波数帯の信号を短絡するインダクタ・キャパシタの直列回路 8 3 2 と、直列回路 8 3 2 の第 2 の周波数帯 f_2 におけるサセプタンス成分を第 2 の周波数帯において打ち消す先端開放あるいは先端短絡の並列スタブ 4 8 4 を備える。

30

【 0 1 3 9 】

また、第 2 の増幅回路 4 0 B はその出力結合部に、第 1 の周波数帯信号を阻止する出力側阻止回路 4 3 1 を備える。出力側阻止回路 4 3 1 は、特性インピーダンスが 50Ω で第 1 の周波数帯信号 f_1 に対して長さが 4 分の 1 波長の直列伝送線路 8 4 と、第 1 の周波数帯の信号を短絡するインダクタ・キャパシタの直列回路 8 5 2 と、直列回路 8 5 2 の第 2 の周波数帯 f_2 におけるサセプタンス成分を第 2 の周波数帯において打ち消す先端開放あるいは先端短絡の並列スタブ 4 9 4 を備える。

【 0 1 4 0 】

デュアルバンド増幅器の信号入力端子 3 から加えられる 2 つの周波数帯信号のうち、第 1 の周波数帯信号 f_1 は、入力側阻止回路 3 2 1 を介して第 1 の増幅回路 3 0 B に入力される。第 1 の増幅回路 3 0 B で増幅された第 1 の周波数帯信号は、出力側阻止回路 3 3 1 を通って信号出力端子 4 から出力される。信号入力端子 3 から、第 2 の周波数帯に対して第 2 の周波数帯信号を阻止する入力側阻止回路 3 2 1 を見たインピーダンスは開放である。また、信号出力端子 4 から、第 2 の周波数帯に対して第 2 の周波数帯信号を阻止する出力側阻止回路 3 3 1 を見たインピーダンスも開放になる。

40

【 0 1 4 1 】

デュアルバンド増幅器の信号入力端子 3 から加えられる 2 つの周波数帯信号のうち、第 2 の周波数帯信号 f_2 は、第 1 の周波数帯信号を阻止する入力側阻止回路 4 2 1 を介して第 2 の増幅回路 4 0 B に入力され、増幅される。この第 2 の周波数帯信号 f_2 は、第 1 の周波数帯信号を阻止する出力側阻止回路 4 3 1 を介してデュアルバンド増幅器の信号出力

50

端子 4 から出力される。信号入力端子 3 及び信号出力端子 4 から、第 1 の周波数帯に対して第 1 の周波数帯信号を阻止する入力側阻止回路 4 2 1 及び出力側阻止回路 4 3 1 をそれぞれ見たインピーダンスは開放である。

【 0 1 4 2 】

第 1 の増幅回路 3 0 B は、増幅素子である F E T 3 1 と、F E T 3 1 の入力側に配置された入力インピーダンス整合回路 3 4 B と、F E T 3 1 の出力側に配置された出力インピーダンス整合回路 3 5 B を備える。入力インピーダンス整合回路 3 4 B 及び出力インピーダンス整合回路 3 5 B は、第 2 の周波数帯信号を阻止する入力側阻止回路 3 2 1 及び出力側阻止回路 3 3 1 を含めて、増幅素子であるトランジスタ F E T 3 1 に対する入力及び出力インピーダンス整合をする。

10

【 0 1 4 3 】

具体的には、入力インピーダンス整合回路 3 4 B を、F E T 3 1 から信号源側を見たときのアドミタンスが、F E T 3 1 の最大付加電力効率を実現する F E T 3 1 の信号源アドミタンス $Y_{S T 1}$ になるように設計する。また、出力インピーダンス整合回路 3 5 B を、F E T 3 1 から負荷側を見たときのアドミタンスが、F E T 3 1 の最大付加電力効率を実現する F E T 3 1 の負荷アドミタンス $Y_{L T 1}$ になるように設計する。すなわち、入力インピーダンス整合回路 3 4 B 及び出力インピーダンス整合回路 3 5 B は、入力側阻止回路 3 2 1 及び出力側阻止回路 3 3 1 をそれぞれ第 1 の増幅回路 3 0 B から見た信号源アドミタンス $Y_{S 1} = 1 / (50)$ 及び負荷アドミタンス $Y_{L 1} = 1 / (50)$ を、F E T 3 1 の最大付加電力効率を実現する F E T 3 1 の信号源アドミタンス $Y_{S T 1}$ 及び負荷アドミ

20

【 0 1 4 4 】

第 2 の増幅回路 4 0 B は、増幅素子である F E T 4 1 と、F E T 4 1 の入力側に配置された入力インピーダンス整合回路 4 4 B と、F E T 4 1 の出力側に配置された出力インピーダンス整合回路 4 5 B を備える。入力インピーダンス整合回路 4 4 B 及び出力インピーダンス整合回路 4 5 B は、第 1 の周波数帯信号を阻止する入力側阻止回路 4 2 1 及び出力側阻止回路 4 3 1 をそれぞれ第 2 の増幅回路 4 0 B から見た信号源アドミタンス $Y_{S 2} = 1 / (50)$ 及び負荷アドミタンス $Y_{L 2} = 1 / (50)$ を、F E T 4 1 の最大付加電力効率を実現する F E T 4 1 の信号源アドミタンス $Y_{S T 2}$ 及び負荷アドミタンス $Y_{L T 2}$ にそれぞれ変換する。本実施形態では、各増幅回路が見る信号源及び負荷インピーダンスが 50 であるため各増幅回路の設計及び評価が容易になるという特徴がある。

30

【 0 1 4 5 】

なお、信号を短絡する並列スタブ 3 8 4、3 9 4、4 8 4、4 9 4 は先端開放の伝送線路、マイクロストリップ線路、コープレーナ線路、ラジアル線路等の特定の線路構造に限定されないことは言うまでもない。

【 符号の説明 】

【 0 1 4 6 】

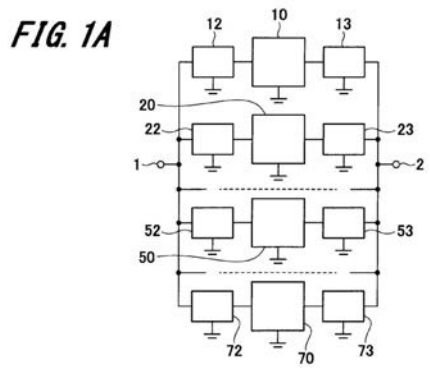
- 1、3・・・信号入力端子
- 2、4・・・信号出力端子
- 10、20、30、30A、30B、30C、30D、40、40A、40B、40C、40D、50、60、70・・・増幅回路
- 11、21、31、41、51、61・・・増幅素子 (F E T)
- 12、22、32、42、36、36A、46、46A、52、57、67、321、361、421、461・・・入力側阻止回路
- 13、23、33、43、37、37A、47、47A、53、59、69、73、331、371、431、471・・・出力側阻止回路
- 14、24、34、34B、34C、34D、44、44B、44C、44D、54、64・・・入力インピーダンス整合回路
- 15、25、35、35B、35C、35D、45、45B、45C、45D、55、65・・・出力インピーダンス整合回路

40

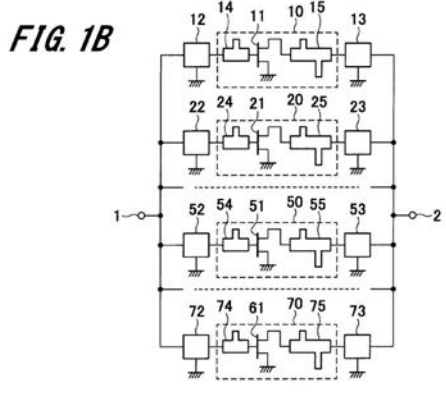
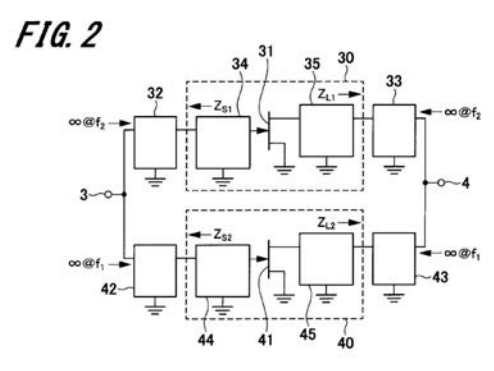
50

- 38、39、83、85・・・打消回路
- 72、74、82、84・・・直列伝送線路
- 73、75、83、85・・・並列回路
- 381、384、391、394、481、484、491、494、731、751
- 、831、851・・・並列スタブ
- 483、493・・・並列キャパシタ
- 732、752、832、852・・・インダクタ・キャパシタの直列回路

【 図 1 】



【 図 2 】



【 図 3 】

FIG. 3A

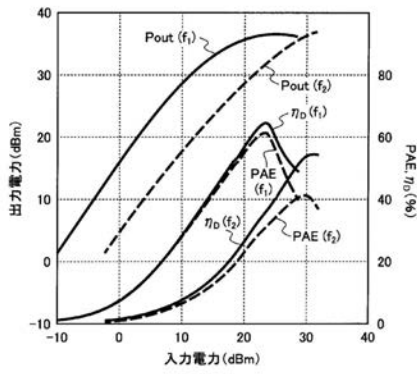
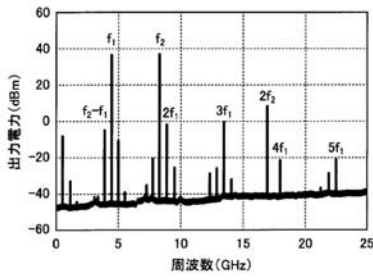
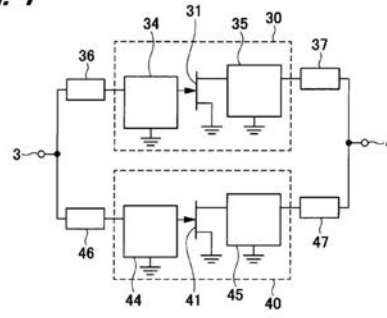


FIG. 3B



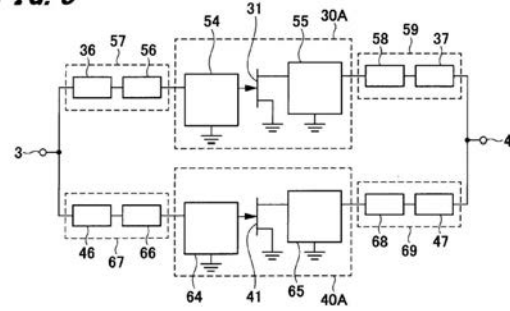
【 図 4 】

FIG. 4



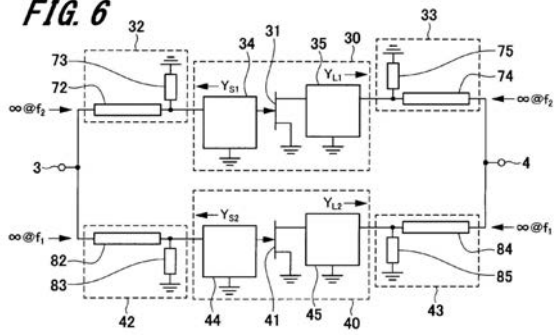
【 図 5 】

FIG. 5



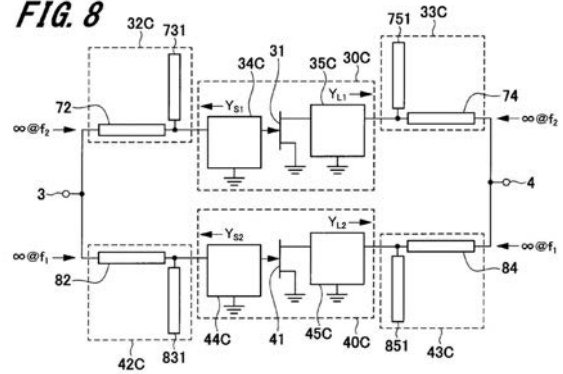
【 図 6 】

FIG. 6



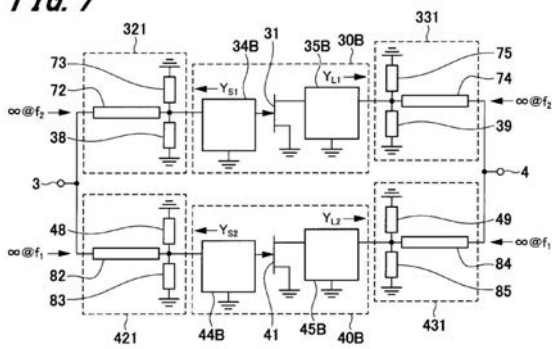
【 図 8 】

FIG. 8



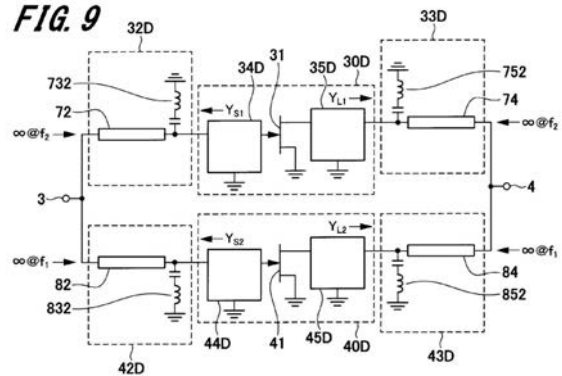
【 図 7 】

FIG. 7



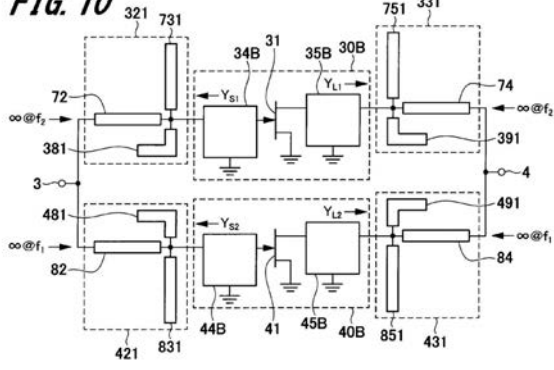
【 図 9 】

FIG. 9



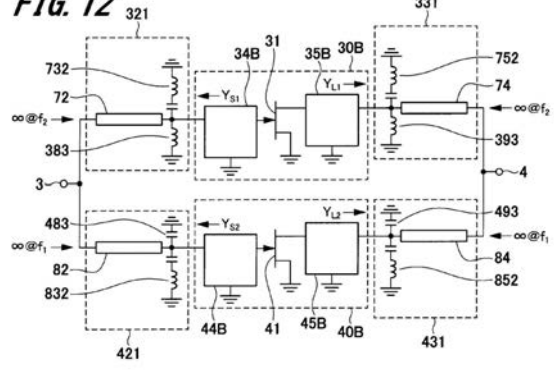
【 図 1 0 】

FIG. 10



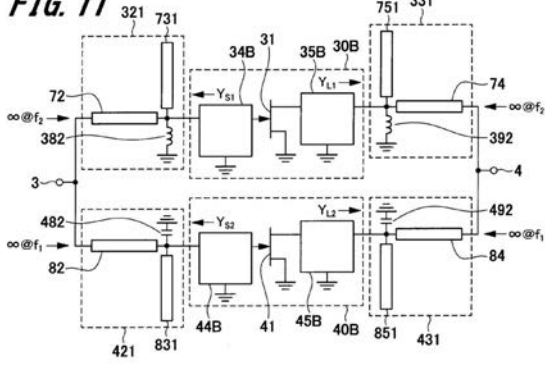
【 図 1 2 】

FIG. 12



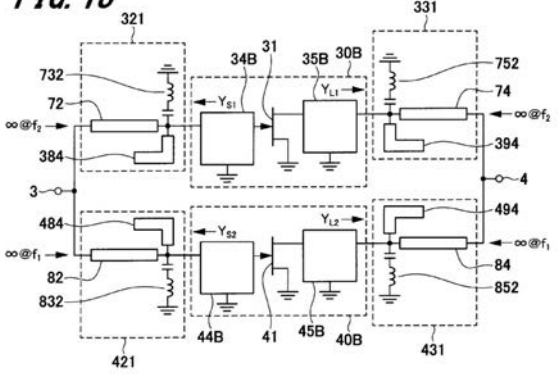
【 図 1 1 】

FIG. 11



【 図 1 3 】

FIG. 13



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 3 F 3/60 (2006.01) H 0 3 F 3/60

Fターム(参考) 5J067 AA04 AA21 AA41 CA21 CA36 CA75 FA15 HA29 HA33 HA47
KA13 KA29 KA68 KS01 LS11 LS12 SA14 TA01
5J500 AA01 AA04 AA21 AA41 AC21 AC36 AC75 AF15 AH09 AH29
AH33 AK13 AK29 AK45 AK68 AS14 AT01 CK03 CK06 CK07
NG01 NH16
5K060 BB07 CC04 DD04 HH06 JJ03 JJ04 JJ08 LL07